

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2005年3月3日 (03.03.2005)

PCT

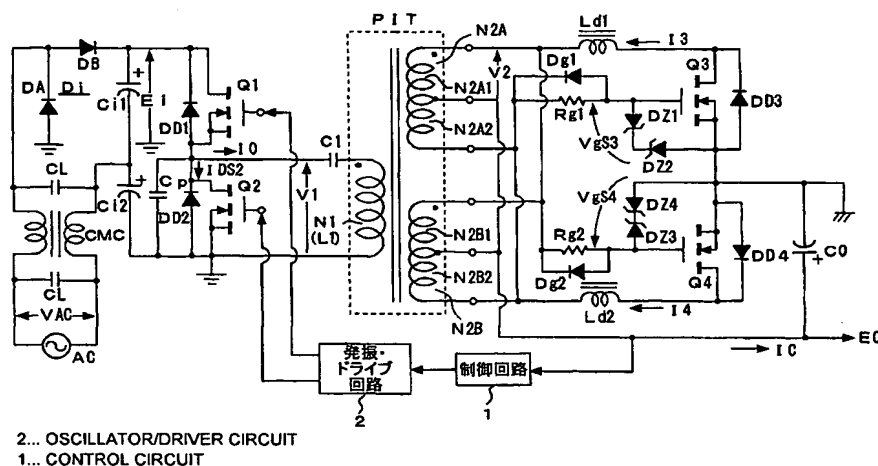
(10) 国際公開番号
WO 2005/020416 A1

- (51) 国際特許分類: H02M 3/28 (74) 代理人: 中村 友之 (NAKAMURA, Tomoyuki); 〒1050001 東京都港区虎ノ門1丁目2番3号虎ノ門第一ビル9階 三好内外国特許事務所内 Tokyo (JP).
- (21) 国際出願番号: PCT/JP2004/011950
- (22) 国際出願日: 2004年8月13日 (13.08.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2003-297625 2003年8月21日 (21.08.2003) JP
特願2003-297626 2003年8月21日 (21.08.2003) JP
特願2003-328685 2003年9月19日 (19.09.2003) JP
- (71) 出願人 (米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒1410001 東京都品川区北品川6丁目7番35号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 安村 昌之 (YASUMURA, Masayuki) [JP/JP].
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NL, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF,

[続葉有]

(54) Title: SWITCHING POWER SUPPLY CIRCUIT

(54) 発明の名称: スイッチング電源回路



2... OSCILLATOR/DRIVER CIRCUIT
1... CONTROL CIRCUIT

(57) Abstract: A sync rectifier circuit of winding voltage detection system using resistor elements is provided on the secondary side of a complex resonance type converter so as to achieve a high power conversion efficiency and simplify the circuit arrangement, thereby reducing the circuit scale. An insulation converter transformer (PIT) has an enlarged gap length and a coupling coefficient of the order of 0.8, and the turn numbers of a primary winding (N1) and second windings (N2A, N2B) of the PIT are set such that the levels of induced voltages of the secondary windings are equal to or smaller than $2V/T$. This allows the flux density of the core of the PIT to be equal to or smaller than a predetermined value, thereby causing the rectified current on the secondary side to be in a continuous mode even under a heavy load condition. Moreover, inductors (L_d, L_o) are inserted into the rectified-current paths of the secondary side so that the reverse electromotive force of the inductors suppresses a reverse current that would otherwise occur in the rectified current, thereby further reducing the reactive power. Furthermore, the insertion of the inductor (L_o) suppresses the high frequency noise that would otherwise overlap with the secondary side current output voltage (E_0).

[続葉有]



BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN,
TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

複合共振形コンバータの二次側に抵抗素子による巻線電圧検出方式の同期整流回路を備えると、高い電力変換効率を得ると共に、回路の簡易化による回路規模の縮小を図れる。そして、絶縁コンバータトランス (P I T) は、ギャップ長を広げて結合係数を 0.8 程度にすると共に、二次巻線の誘起電圧レベルを $2V/T$ 以下となるように一次巻線 (N 1)、二次巻線 (N 2 A), (N 2 B) のターン数を設定する。これは、P I Tのコアの磁束密度を一定以下とすることで、重負荷の条件でも二次側整流電流を連続モードにするためである。さらに、二次側の各整流電流経路に対してインダクタ (L d)、(L o) を挿入すれば、これらインダクタの逆起電力により整流電流に生じる逆電流が抑圧され、無効電力のさらなる低減が図られる。また、インダクタ (L o) を挿入すれば、二次側電流出力電圧 (E 0) に重畳するとされる高周波ノイズが抑制される。

明細書

スイッチング電源回路

5 技術分野

本発明は、各種電子機器の電源として備えられるスイッチング電源回路に関する。

背景技術

- 10 スwitchング電源回路として、例えばフライバックコンバータやフォワードコンバータなどの形式のスイッチングコンバータを採用したものが広く知られている。これらのスイッチングコンバータはスイッチング動作波形が矩形波状であることから、スイッチングノイズの抑制には限界がある。また、その動作特性上、
- 15 電力変換効率の向上にも限界があることがわかっている。

- そこで、共振形コンバータによるスイッチング電源回路が各種提案され、実用化されている。共振形コンバータは容易に高電力変換効率を得られると共に、スイッチング動作波形が正弦波状となることで低ノイズが実現される。また、比較的少数の部品点数
- 20 により構成することができるというメリットも有している。

第27図の回路図は、従来としての、共振形コンバータを備えるスイッチング電源回路の一例を示している。この図に示す電源回路は、他励式による電流共振形コンバータに対して部分電圧共振回路が組み合わされている。

- 25 この図に示す電源回路においては、先ず、商用交流電源ACに対して、ブリッジ整流回路Di及び1本の平滑コンデンサCiか

ら成る全波整流平滑回路が備えられる。そして、これらブリッジ整流回路 D_i 及び平滑コンデンサ C_i の全波整流動作によって、平滑コンデンサ C_i の両端には整流平滑電圧 E_i （直流入力電圧）が得られることになる。この整流平滑電圧 E_i は、交流入力電圧 V_{AC} の等倍に対応したレベルとなる。

上記直流入力電圧を入力してスイッチングする電流共振形コンバータとしては、図示するようにして、MOS-FETによる2本のスイッチング素子 Q_1, Q_2 をハーフブリッジ結合により接続している。スイッチング素子 Q_1, Q_2 の各ドレイン-ソース間に対しては、図示する方向により、それぞれボディダイオードによるダンパーダイオード DD_1, DD_2 が並列に接続される。

また、スイッチング素子 Q_2 のドレイン-ソース間に対しては、部分共振コンデンサ C_p が並列に接続される。この部分共振コンデンサ C_p のキャパシタンスと一次巻線 N_1 のリーケージインダクタンス L_1 によっては並列共振回路（部分電圧共振回路）を形成する。そして、スイッチング素子 Q_1, Q_2 のターンオフ時にのみ電圧共振する、部分電圧共振動作が得られるようになっている。

この電源回路においては、スイッチング素子 Q_1, Q_2 をスイッチング駆動するために、例えば汎用のICによる発振・ドライブ回路2が設けられる。この発振・ドライブ回路2は、発振回路、駆動回路を有している。そして、発振回路及び駆動回路によって、所要の周波数によるドライブ信号（ゲート電圧）をスイッチング素子 Q_1, Q_2 の各ゲートに対して印加する。これにより、スイッチング素子 Q_1, Q_2 は、所要のスイッチング周波数により交互にオン/オフするようにしてスイッチング動作を行う。

絶縁コンバータトランス PIT はスイッチング素子 Q_1, Q_2

のスイッチング出力を二次側に伝送する。この絶縁コンバータトランス P I T の一次巻線 N 1 の一端は、一次側並列共振コンデンサ C 1 の直列接続を介して、スイッチング素子 Q 1 のソースとスイッチング素子 Q 2 のドレインとの接続点(スイッチング出力点)
5 に接続されることで、スイッチング出力が伝達されるようになっている。

また、一次巻線 N 1 の他端は、一次側アースに接続される。

ここで、上記直列共振コンデンサ C 1 のキャパシタンスと、一次巻線 N 1 を含む絶縁コンバータトランス P I T のリーケージインダクタンス L 1 によっては、一次側スイッチングコンバータの
10 動作を電流共振形とするための一次側直列共振回路を形成する。

上記説明によると、この図に示す一次側スイッチングコンバータとしては、一次側直列共振回路 (L 1 - C 1) による電流共振形としての動作と、前述した部分電圧共振回路 (C p // L 1) とに
15 よる部分電圧共振動作とが得られることになる。

つまり、この図に示す電源回路は、一次側スイッチングコンバータを共振形とするための共振回路に対して、他の共振回路とが組み合わされた形式を採っていることになる。本明細書では、このようなスイッチングコンバータについて、複合共振形コンバー
20 タということにする。

ここでの図示による説明は省略するが、絶縁コンバータトランス P I T の構造としては、例えばフェライト材による E 型コアを組み合わせた E E 型コアを備える。そして、一次側と二次側とで巻装部位を分割したうえで、一次巻線 N 1 と、次に説明する二次
25 巻線 (N 2 A , N 2 B) を、E E 型コアの中央磁脚に対して、巻装している。

絶縁コンバータトランス P I T の二次巻線としては、センター
タップが施されたことで 2 つに分割された二次巻線 N 2 A, N 2 B
が巻装されている。これらの二次巻線 N 2 A, N 2 B には、一次巻線
N 1 に伝達されたスイッチング出力に応じた交番電圧が励起され
る。

この場合、上記二次巻線 N 2 A, N 2 B のセンタータップは二次側
アースに対して接続される。そして、この二次巻線 N 2 A, N 2 B
に対して、図示するようにして整流ダイオード D 01, D 02、及び
平滑コンデンサ C o から成る全波整流回路を接続する。これによ
り、平滑コンデンサ C o の両端電圧として二次側直流出力電圧 E
0 が得られる。この二次側直流出力電圧 E 0 は、図示しない負荷
側に供給されるとともに、次に説明する制御回路 1 のための検出
電圧としても分岐して入力される。

制御回路 1 は、二次側直流出力電圧 E 0 のレベル変化に応じた
検出出力を発振・ドライブ回路 2 に供給する。発振・ドライブ回
路 2 では、入力された制御回路 1 の検出出力に応じてスイッチン
グ周波数が可変されるようにして、スイッチング素子 Q 1, Q 2
を駆動する。このようにしてスイッチング素子 Q 1, Q 2 のスイッ
チング周波数が可変されることで、二次側直流出力電圧のレベル
が安定化されることになる。

この図に示す回路構成による電源回路として、低電圧大電流と
しての負荷条件に対応させた場合の動作波形を、第 28 図に示す。
第 28 図に示す動作波形は、交流入力電圧 $V_{AC} = 100\text{ V}$ 、負荷
電力 $P_o = 100\text{ W}$ の条件で測定を行って得られたものである。
また、ここでの低電圧大電流の状態としては、二次側直流電圧 $E_o = 5\text{ V}$ で、一次側スイッチングコンバータのスイッチング電流

である一次側直列共振電流 $I_0 = 25\text{ A}$ となる状態である。

また、第 28 図に示す動作波形による実験結果を得るにあたっては、次のような条件と、電源回路における部品素子等の選定を行っている。

- 5 先ず、二次側巻線の 1 T (ターン) あたりの誘起電圧レベルが、
5 V / T となるようにして、二次巻線 N2A, N2B 及び一次巻線 N1
のターン数を設定することとして、具体的には、二次巻線 N2A =
N2B = 1 T、一次巻線 N1 = 30 T としている。

- 10 そして、絶縁コンバータトランス P I T の E E 型コアの中央磁
脚に対しては 1.0 mm 程度のギャップを形成するようにしている。
これによって、一次巻線 N1 と二次巻線 N2A, N2B とで、0.8
5 程度の結合係数を得るようにしている。

- 15 また、一次側直列共振コンデンサ $C_1 = 0.068\text{ }\mu\text{F}$ 、部分
電圧共振コンデンサ $C_p = 330\text{ pF}$ を選定し、整流ダイオード
D o1, D o2 には、50 A / 40 V のショットキーダイオードを選
定している。

- 20 第 28 図に示す波形図において、スイッチング素子 Q2 の両端
電圧 V1 は、スイッチング素子 Q2 のオン／オフ状態に対応して
いる。つまり、スイッチング素子 Q2 がオンとなる期間 T2 では
0 レベルで、オフとなる期間 T1 では所定レベルでクランプされ
た矩形波となる。そして、スイッチング素子 Q2 // ダンパーダイ
オード DD2 に流れるスイッチング電流 I_{DS2} としては、期間 T2
に示されるように、ターンオン時においては、ダンパーダイオー
ド DD2 を流れることで負極性となり、これが反転して正極性によ
りスイッチング素子 Q2 のドレイン→ソースを流れ、期間 T1 で
25 オフとなって 0 レベルとなる波形が得られる。

また、スイッチング素子 Q_1 は、上記スイッチング素子 Q_2 に対して交互にオン／オフするようにしてスイッチングを行う。このため、スイッチング素子 Q_1 // ダンパダイオード DD_1 に流れるスイッチング電流 I_{DS1} は、スイッチング電流 I_{DS2} に対して
5 180° 位相がシフトした波形となっている。

そして、スイッチング素子 Q_1, Q_2 のスイッチング出力点と一次側アース間に接続される一次側直列共振回路 (C_1-L_1) に流れる一次側直列共振電流 I_o は、スイッチング電流 I_{DS1} とスイッチング電流 I_{DS2} との合成波形に対応する、一次側直列共振回路
10 (C_1-L_1) の共振電流としての正弦波成分と、一次巻線 N_1 の励磁インダクタンスにより発生する鋸歯状波成分とが合成された波形となる。

そして、このときの測定条件である、負荷電力 $P_o = 100\text{ W}$ は、第 27 図に示す電源回路が対応する負荷条件としては、最大
15 に近い重負荷の条件となるのであるが、このようにして対応負荷電力範囲において重負荷の傾向となる条件では、二次側の整流電流は不連続モードとなる。

つまり、二次巻線 N_{2A} に発生する二次巻線電圧 V_2 は、第 28 図に示すようにして、一次側直列共振電流 I_o が正弦波状で流れる期間のみ、所定の絶対値レベルでクランプされる波形が生じ、
20 その間の一次側直列共振電流 I_o として励磁インダクタンスによる鋸歯状波成分が流れる期間は 0 レベルとなる。二次巻線 N_{2B} には、二次巻線電圧 V_2 を反転させた波形が発生する。

このために、整流ダイオード D_{o1} を流れる整流電流 I_1 と、整流ダイオード D_{o2} を流れる整流電流 I_2 は、それぞれ、一次側直
25 列共振電流 I_o が正弦波状で流れる期間 D_{ON1}, D_{ON2} においての

み流れ、これ以外の期間においては共に流れない。つまり、二次側の整流電流は不連続で平滑コンデンサに流入している。

ショットキーダイオードである整流ダイオード D_{o1} , D_{o2} の順方向電圧降下は 0.6 V であり、上記したような二次側の動作では、図示もしているように、整流電流 I_1 , I_2 は 3.5 A_p という相応に高いレベルとなるので、これらの整流ダイオード素子による導通損が顕著となって電力損失が大きくなる。実際の測定結果として、直流入力電圧（整流平滑電圧 E_i ） $= 100\text{ V}$ のときの DC→DC 電力変換効率は 82% 程度にとどまる。

そこで、二次側における整流電流の導通損を低減する技術として、低オン抵抗の MOS-FET により整流を行うようにした、同期整流回路が知られている。このような同期整流回路として、巻線電圧検出方式による構成を例を第 29 図に示す。

なお、第 29 図においては、絶縁コンバータトランス PIT の二次側の構成のみを示している。一次側の構成は、第 27 図と同様であるものとする。また、定電圧制御方式としても、二次側直流出力電圧 E_o のレベルに応じて、一次側スイッチングコンバータのスイッチング周波数を可変制御するスイッチング周波数制御方式を採る。

また、この第 29 図に示す二次側の構成を採る電源回路としても、第 27 図の場合と同様の低電圧大電流（ $V_{AC} = 100\text{ V}$ 、負荷電力 $P_o = 100\text{ W}$ 、 $E_o = 5\text{ V}$ 、 $I_o = 25\text{ A}$ ）の条件に対応するものとされる。

この場合にも、二次巻線としては、同じ巻数の二次巻線 N_{2A} , N_{2B} の各一端はセンタータップにより接続されるが、このセンタータップ出力は、平滑コンデンサ C_o の正極端子に接続される。

二次巻線 N2A の他端は、Nチャネルの MOS-FET Q3 のドレイン→ソースを介して、二次側アース（平滑コンデンサ C_o の負極端子側）に接続される。同様に、二次巻線 N2B の他端も、Nチャネルの MOS-FET Q4 のドレイン→ソースを介して、
5 二次側アース（平滑コンデンサ C_o の負極端子側）に接続される。
つまり、この場合には、二次巻線 N2A、N2B の各整流電流経路において、MOS-FET Q3、Q4 を負極側に直列に挿入した構造となっている。なお、MOS-FET Q3、Q4 のドレイン→ソースに対しては、それぞれ、ボディダイオード DD3、DD4 が接続さ
10 れる。

そして、MOS-FET Q3 を駆動する駆動回路は、二次巻線 N2B と MOS-FET Q4 のドレインとの接続点と MOS-FET Q3 のゲートの間に、ゲート抵抗 R_{g1} を接続すると共に、MOS-FET Q3 のゲートと二次側アースとの間に抵抗 R₁₁ を接続
15 して形成される。

同様に、MOS-FET Q4 を駆動する駆動回路は、二次巻線 N2A と MOS-FET Q3 のドレインとの接続点と MOS-FET Q4 のゲートの間に、ゲート抵抗 R_{g2} を接続すると共に、MOS-FET Q4 のゲートと二次側アースとの間に抵抗 R₁₂ を接続
20 して形成される。

MOS-FET は、ゲートにオン電圧を印加すると、ドレイン→ソース間は、単なる抵抗体と等価となるので、電流は双方向に流れる。これを二次側の整流素子として機能させようとするれば、平滑コンデンサ C_o の正極端子に充電する方向のみに電流を流
25 さなければならない。これとは逆方向に電流が流れると、平滑コンデンサ C_o から絶縁コンバータトランス P I T 側に放電電流

が流れて、負荷側に有効に電力を伝達することができなくなる。
また、逆電流によるMOS-FETの発熱、ノイズなどが生じて、
一次側におけるスイッチング損失も招く。

上記した駆動回路は、二次巻線の電圧を検出することに基づい
5 て、平滑コンデンサC_oの正極端子に充電する方向にのみ電流が
流れるように、MOS-FET Q₃, Q₄をスイッチング駆動する
ための回路である。

第30図の波形図は、上記第29図に示す二次側の構成を採る
電源回路（一次側は第27図と同様）として、負荷電力P_o=1
10 00W時の動作を示している。前述もしたように、この場合にお
ける負荷電力P_o=100Wは、ほぼ最大負荷の条件となる。

この図において、スイッチング素子Q₂の両端電圧V₁と、こ
れに応じた二次巻線N_{2A}-N_{2B}の両端に得られる二次巻線電圧
V₂は、第28図と同様のタイミングとなっているものである。
15 なお、第30図に示す二次巻線電圧V₂は、二次巻線N_{2A}とゲー
ト抵抗R_{g2}との接続点側からみた場合の極性となっており、二
次巻線N_{2B}とゲート抵抗R_{g1}との接続点側からみた場合には逆
極性となる。

MOS-FET Q₄の駆動回路は、この図に示す極性の二次巻
20 線電圧V₂が負極性の所定レベルでクランプされる期間に至ると、
MOS-FET Q₄のゲートに対して、ゲート抵抗R_{g2}と抵抗R₁₂
とにより設定されるレベルのオン電圧を印加するように動作
することになる。

同様にして、MOS-FET Q₃の駆動回路（ゲート抵抗R_{g1},
25 抵抗R₁₁）は、この図とは反転した極性の二次巻線電圧（V₂）
が負極性の所定レベルでクランプされる期間に至ると、MOS-

F E T Q 3 のゲートに対してオン電圧を印加するように動作することになる。

これにより、M O S - F E T Q 3, Q 4 には、それぞれ、図示するようにして、期間 D 0 N 1, D 0 N 2 において、正極性の整流電流 I 1, I 2 が流れる。図示する二次巻線電圧 V 2 が正／負でクランプされる期間に流れる整流電流 I 1, I 2 は、第 2 7 図の回路の場合（第 2 8 図の波形図の整流電流 I 1, I 2）と同様に、3 5 A p である。しかしながら、M O S - F E T Q 3, Q 4 は低オン抵抗であり、ショットキーダイオードによる整流ダイオード D o 1, D o 2 と比較すれば、整流電流の導通損は著しく低いものとすることができる。また、駆動回路が抵抗素子のみから成ることからも理解されるように、巻線電圧検出方式は、駆動回路系が簡単な構成であることもメリットとなっている。

しかしながら、この第 3 0 図に対応する場合のような重負荷（負荷電力 P o = 1 0 0 W）とされる条件では、この電源回路も二次側整流電流は不連続モードとなる。これは、第 3 0 図においても期間 D 0 N 1, D 0 N 2 が不連続であることにより示されている。

この不連続モードでは、整流電流 I 1, I 2 として、平滑コンデンサ C o への充電電流が 0 レベルになったとしても、絶縁コンバータトランス P I T の一次巻線 N 1 には同じ方向に電流が流れている。これは、先の第 2 8 図の波形図において、期間 D 0 N 1, D 0 N 2 以外の期間において、一次側直列共振電流 I o として、一次巻線 N 1 の励磁インダクタンス成分がその直前タイミングと同じ極性で流れていることを指している。このために、実際としては、二次巻線 N 2 A, N 2 B に誘起される電圧の極性が反転しないために、その間、M O S - F E T Q 3, Q 4 は完全にオフにならずにオン状

態を維持する。これにより、図示するようにして、期間 D_{ON1} , D_{ON2} 以外では、整流電流 I_1 , I_2 として逆方向の電流が流れてしまう。この期間 D_{ON1} , D_{ON2} 以外における逆方向の整流電流 I_1 , I_2 は、無効電力を生じさせるが、このときの整流電流 I_1 , I_2 のレベルは、 $8 A_p$ と比較的高いために、その無効電力量も
5 相応に大きなものとなる。

このように、同期整流回路として巻線電圧検出方式を採る場合、整流電流の導通損は低減されるものの、上記のようにして無効電力が発生するために、全体として電力変換効率の有効な向上は図
10 ることが難しいというのが現状である。

第 31 図の波形図は、第 29 図に示した二次側の構成を採る電源回路についての軽負荷とされる条件での動作を示している。

第 29 図に示す電源回路の実際としても、先に第 27 図に示した電源回路の構成として説明したようにスイッチング周波数制御による定電圧制御を行うが、軽負荷の条件となって二次側直
15 流出力電圧が上昇すると、スイッチング周波数を高くするようにして二次側直流出力電圧を低下させ、これにより安定化を図るように動作する。

そして、このような軽負荷の状態では、第 31 図に示すスイッチング素子 Q_2 の両端電圧 V_1 に対して、二次側巻線電圧 V_2 はほぼ同じタイミングで反転するようになり、これに応じて、二次側の整流電流 I_1 , I_2 としては、期間 D_{ON1} , D_{ON2} との間に休止期間が無く平滑コンデンサ C_o に連続して充電されるようにして流れる。つまり、連続モードとなる。このときには、上記第 3
20 0 図の重負荷時の動作として示したような逆方向の整流電流 I_1 , I_2 が流れる期間は存在しなくなって、これに応じた無効電力も

生じていない。

このように、二次側整流回路系を巻線電圧検出方式による同期整流回路に置き換えた構成の電源回路も、重負荷時における電力変換効率の低下が依然として問題となる。

5 そこで、上記第30図に示されるような、逆方向の整流電流による無効電力の発生の問題を解消する技術としては、整流電流検出方式による同期整流回路が知られている。この整流電流検出方式は、平滑コンデンサC_oに充電される整流電流が0レベルになる前にMOS-FETをオフさせる技術である。このような例として特開2003-111401号公報がある。

10 この整流電流検出方式による同期整流回路の構成例を、第32図に示す。なお、この図においては、説明を簡単なものとするために、半波整流による構成を示している。

15 整流電流検出方式としては、二次巻線N₂に流れる電流を検出するためにカレントトランスTRを設ける。カレントトランスの一次巻線N_aは、二次巻線N₂の端部と、MOS-FETQ₄のドレインと接続される。MOS-FETQ₄のソースは、平滑コンデンサC_oの負極端子に接続している。

20 カレントトランスの二次巻線N_bに対しては、抵抗R_aが並列に接続されるとともに、相互に順電圧方向が逆となるようにして、ダイオードD_a、D_bが並列に接続されて並列接続回路を形成する。また、この並列接続回路に対して、コンパレータ20が接続される。コンパレータ20の反転入力には、基準電圧V_{ref}が入力される。なお、基準電圧V_{ref}とコンパレータ20の反転入力との接続点には、上記並列接続回路においてダイオードD_aの25 アノードとダイオードD_bのカソードが接続されている側の

端部と接続される。また、コンパレータ 20 の非反転入力には、上記並列接続回路においてダイオード D_a のカソードとダイオード D_b のアノードが接続されている側の端部が接続される。

この場合、コンパレータ 20 の出力は、バッファ 21 により増幅されて MOS-FET Q_4 のゲートに印加されるようになって
5 いる。

上記第 32 図に示す構成による回路の動作波形を、第 33 図に示す。

二次巻線 N_2 に誘起される電圧が、平滑コンデンサ C_o の両端
10 電圧 (E_o) よりも大きくなると、まず、MOS-FET Q_4 のボディダイオードのアノード→カソードの方向により、平滑コンデンサ C_o へ充電するようにして整流電流 I_d が流れ始める。この整流電流 I_d は、カレントトランスの一次巻線 N_a に流れるので、カレントトランスの二次巻線 N_b には、一次巻線 N_a に流れる
15 整流電流 I_d に応じた電圧 V_{nb} が誘起される。コンパレータ 20 では、基準電圧 V_{ref} と電圧 V_{nb} とを比較して、電圧 V_{nb} が基準電圧 V_{ref} を越えると H レベルを出力する。この H レベルの出力がバッファ 21 からオン電圧として MOS-FET Q_4 のゲートに対して印加され、MOS-FET Q_4 をオンさ
20 せる。これにより、整流電流 I_d が MOS-FET Q_4 のドレイン→ソース方向により流れることになる。第 33 図では、正極性により流れる整流電流 I_d として示されている。

そして時間経過に応じて整流電流 I_d のレベルが低下し、これに応じて、電圧 V_{nb} が基準電圧 V_{ref} よりも低くなると、
25 コンパレータ 20 は出力を反転させる。この反転出力がバッファ 21 を介して出力されることで、MOS-FET Q_4 のゲート容量

を放電させて、MOS-FET Q4 をオフとする。なお、この時点で、残りの整流電流 I_d はボディダイオード DD4 を経由して短時間のうちに流れる。

このような動作とされることで、MOS-FET Q4 は、整流電流 I_d が 0 レベルとなる前のタイミングでオフされることになる。これにより、第 30 図に示したように、整流電流が不連続となる期間において、MOS-FET に逆方向電流が流れることが無くなって無効電力が生じなくなり、その分の電力変換効率は高くなる。

例えば、第 27 図に示した電源回路の二次側の構成を、上記第 32 図に示した構成に基づく、全波整流の整流電流検出方式による同期整流回路とした場合の DC→DC 電力変換効率としては、先の第 28 図、第 30 図などと同様の条件の下で測定したところ、90% 程度にまで向上するという測定結果が得られた。

しかしながら、上記した整流電流検出方式の同期整流回路では、第 32 図からも分かるように、1 つの MOS-FET に対応して、少なくとも 1 組のカレントトランスと、このカレントトランスの出力により MOS-FET を駆動するための比較的複雑な駆動回路系が必要となる。これにより、回路構成が複雑になり、これが製造能率の低下、コストアップ、回路基板サイズの拡大などにつながるという不都合が生じることになる。

特に、第 32 図に示した一次側のスイッチングコンバータの構成を基本として整流電流検出方式の同期整流回路を二次側に備えることとした場合、二次側には全波整流回路を備える必要がある。従って、上記したカレントトランス及び駆動回路系は、MOS-FET Q3, Q4 ごとに対応して必要とされることになり、上

記した問題がさらに大きくなる。

このようにして、巻線電圧検出方式と整流電流検出方式とでは、巻線電圧検出方式のほうが、無効電力により電力変換効率の面で不利ではあるが、回路構成が簡略であるのに対して、整流電流検出方式のほうは、無効電力が生じないので電力変換効率の面では有利であるが、回路構成が複雑になる、というトレードオフの関係にある。

従って、同期整流回路を備える電源回路としては、できるだけ簡略な回路構成でありながら、かつ、無効電力による損失増加が解消されるような構成を採ることが求められている、ということになる。

発明の開示

そこで、本発明では以上のような問題点に鑑み、スイッチング電源回路として以下のように構成することとした。

すなわち、まず、複数のスイッチング素子を備えて形成され、入力された直流入力電圧を断続するようにしてスイッチングを行うスイッチング部と、これら複数のスイッチング素子が交互にオンオフするようスイッチング駆動する一次側駆動部と、スイッチング部ののスイッチング出力を一次側から二次側に伝送するものであり、一次巻線とセンタータップしたタップ出力を有する二次巻線が巻装される絶縁コンバータトランスであって、ギャップ長を所定以上とすることで、上記一次巻線と上記二次巻線の結合係数を所定以下に設定される絶縁コンバータトランスとを備える。

そして、少なくとも、この絶縁コンバータトランスの一次巻線

の漏洩インダクタンス成分と、自己のキャパシタンスとによってスイッチング部の動作を共振形とするための一次側共振回路を形成するようにして、一次側の所定の部位に接続される一次側共振コンデンサ、およびこの絶縁コンバータトランスの二次巻線に誘起される交番電圧を全波整流して二次側平滑コンデンサに整流電流を充電することで、二次側平滑コンデンサの両端電圧として二次側直流出力電圧を得るようにされた同期整流回路を備えるようにする。

そして、このような構成において、先ずは、絶縁コンバータトランスの一次巻線と二次巻線のターン数は、二次側直流出力電圧に接続される負荷条件の変動にかかわらず、全波整流動作により同期整流回路に流れる二次側整流電流が連続モードとなるように設定する。

さらに、上記同期整流回路としては、絶縁コンバータトランスの二次巻線をセンタータップすると共に、タップ出力により分けられた一方の端部と二次側基準電位との間に直列接続される第1の電界効果トランジスタと、タップ出力により分けられた他方の端部と二次基準電位との間に直列接続される第2の電界効果トランジスタとを備える。

そして、第1の電界効果トランジスタが整流電流を流すべき半波の期間に対応する二次巻線電圧を抵抗素子により検出して、第1の電界効果トランジスタをオンとするためのゲート電圧を出力するようにされた第1の駆動回路と、第2の電界効果トランジスタが整流電流を流すべき半波の期間に対応する二次巻線電圧を抵抗素子により検出して、第2の電界効果トランジスタをオンとするためのゲート電圧を出力するようにされた第2の駆動回

路とを備えるようにする。

その上で、さらにこの二次巻線のタップ出力と平滑コンデンサとの間に、平角線が円筒状に縦巻きされた巻線を有する平板状のフェライトコアと上記円筒状の巻線に挿入されるポット型の金属系ダストにより構成されて、所要の飽和磁束密度を有すると共に、所要のインダクタンスを有するようにされたチョークコイルを直列に挿入するようにした。

また、本発明では、スイッチング電源回路として以下のようにも構成することとした。つまり、先ず、複数のスイッチング素子を備えて形成され、入力された直流入力電圧を断続するようにしてスイッチングを行うスイッチング部と、これら複数のスイッチング素子が交互にオンオフするようスイッチング駆動する一次側駆動部と、スイッチング部のスイッチング出力を一次側から二次側に伝送するものであり、一次巻線とセンタータップしたタップ出力を有する二次巻線が巻装される絶縁コンバータトランスであって、ギャップ長を所定以上とすることで、上記一次巻線と上記二次巻線の結合係数を所定以下に設定される絶縁コンバータトランスとを備える。

そして、少なくとも、この絶縁コンバータトランスの一次巻線の漏洩インダクタンス成分と、自己のキャパシタンスとによってスイッチング部の動作を共振形とするための一次側共振回路を形成するようにして、一次側の所定の部位に接続される一次側共振コンデンサ、およびこの絶縁コンバータトランスの二次巻線に誘起される交番電圧を全波整流して二次側平滑コンデンサに整流電流を充電することで、二次側平滑コンデンサの両端電圧として二次側直流出力電圧を得るようにされた同期整流回路を備え

るようにする。

そして、このような構成において、先ずは絶縁コンバータトランスの一次巻線と二次巻線のターン数は、二次側直流出力電圧に接続される負荷条件の変動にかかわらず、全波整流動作により同期整流回路に流れる二次側整流電流が連続モードとなるように設定する。

さらに、上記同期整流回路としては、絶縁コンバータトランスの二次巻線をセンタータップすると共に、タップ出力により分けられた一方の端部と二次側基準電位との間に直列接続される第1の電界効果トランジスタと、タップ出力により分けられた他方の端部と二次側基準電位との間に直列接続される第2の電界効果トランジスタとを備える。

そして、第1の電界効果トランジスタが整流電流を流すべき半波の期間に対応する二次巻線電圧を抵抗素子により検出して、第1の電界効果トランジスタをオンとするためのゲート電圧を出力するようにされた第1の駆動回路と、第2の電界効果トランジスタが整流電流を流すべき半波の期間に対応する二次巻線電圧を抵抗素子により検出して、第2の電界効果トランジスタをオンとするためのゲート電圧を出力するようにされた第2の駆動回路とを備えるようにする。

その上で、さらに二次巻線部のタップ出力と平滑コンデンサとの間に所要のインダクタンスによるインダクタ素子を直列に挿入するようにした。

この構成によるスイッチング電源回路において、一次側スイッチングコンバータとしては、共振形コンバータの構成を採り、二次側においては、巻線電圧検出方式による全波整流の同期整流回

路を備える。

そして、絶縁コンバータトランスの、ギャップ長を所定以上とすることで、上記一次巻線と上記二次巻線の結合係数を所定以下となるようにし、一次巻線と二次巻線のターン数は、二次側直流
5 出力電圧に接続される負荷条件の変動にかかわらず、全波整流動作により同期整流回路に流れる二次側整流電流が連続モードとなるように設定している。二次側整流電流が連続モードとなれば、巻線電圧検出方式による同期整流回路において問題となる、二次側整流電流の不連続期間において整流電流に逆方向電流が生じ
10 ることによる無効電力を低減することができる。

その上で、上記のようにして二次巻線のセンタータップと二次側平滑コンデンサとの間には、所要のインダクタンスを有するチョークコイルが直列に挿入される。このチョークコイルによっては、そこに整流電流が流れる際の逆起電力により整流電流に生じ
15 る逆方向電流が抑圧される。つまり、これによって整流電流に逆方向電流が生じることによる無効電力についての、さらなる低減を図ることができるものである。

また、上記チョークコイルとしては、平角線が円筒状に縦巻きされた巻線を有する平板状のフェライトコアと上記円筒状の巻
20 線に挿入されるポット型の金属系ダストにより構成されるようにしていることから、負荷電流レベルの変動によらずそのインダクタンス値が安定するものとなる。

図面の簡単な説明

25 第1図は、本発明の第1の実施の形態としてのスイッチング電源回路の構成例を示す回路図である。

第 2 図は、実施の形態としての絶縁コンバータトランスの構造例を示す図である。

第 3 図は、実施の形態としてのスイッチング電源回路における、二次側整流電流経路に挿入されるインダクタの構造を例示する

5 図である。

第 4 A 図は、実施の形態としてのスイッチング電源回路における、二次側整流電流経路に挿入されるインダクタの構造として、他の例を示す図である。

10 第 4 B 図は、実施の形態としてのスイッチング電源回路における、二次側整流電流経路に挿入されるインダクタの構造として、その他の例を示す図である。

第 5 図は、第 1 図に示す電源回路の重負荷時の動作を示す波形図である。

15 第 6 図は、第 1 図に示す電源回路の軽負荷時の動作を示す波形図である。

第 7 図は、第 1 図に示す電源回路の負荷変動に対する、スイッチング周波数、一次側直列共振電流レベル、AC→DC 電力変換効率の特性を示す図である。

20 第 8 図は、本発明の第 2 の実施の形態としてのスイッチング電源回路の構成例を示す回路図である。

第 9 図は、第 8 図に示す電源回路の重負荷時の動作を示す波形図である。

第 10 図は、本発明の第 3 の実施の形態としてのスイッチング電源回路の構成例を示す回路図である。

25 第 11 図は、第 10 図に示す電源回路の重負荷時の動作を示す波形図である。

第 1 2 図は、本発明の第 4 の実施の形態としてのスイッチング電源回路の構成例を示す回路図である。

第 1 3 図は、第 1 2 図に示す電源回路の重負荷時の動作を示す波形図である。

5 第 1 4 図は、第 1 2 図に示す電源回路の軽負荷時の動作を示す波形図である。

第 1 5 図は、本発明の第 5 の実施の形態としてのスイッチング電源回路の構成例を示す回路図である。

10 第 1 6 図は、第 5 の実施の形態のスイッチング電源回路の二次側に備えられる、チョークコイルの構造を示す分解斜視図である。

第 1 7 図は、第 5 の実施の形態のスイッチング電源回路における重負荷時の動作を示す波形図である。

15 第 1 8 図は、第 5 の実施の形態としてのスイッチング電源回路の、負荷変動に対する電力変換特性について説明するための図である。

第 1 9 図は、本発明における第 6 の実施の形態のスイッチング電源回路の二次側に備えられる、チョークコイルの構成について説明するための図である。

20 第 2 0 図は、同じく、第 6 の実施の形態のスイッチング電源回路の二次側に備えられるチョークコイルの構成について説明するための図である。

第 2 1 図は、第 6 の実施の形態のスイッチング電源回路の二次側に備えられるチョークコイルの断面図である。

25 第 2 2 図は、第 6 の実施の形態としてのスイッチング電源回路の、負荷変動に対する電力変換特性について説明するための図である。

第 2 3 図は、第 6 の実施の形態のスイッチング電源回路の二次側に備えられるチョークコイルの構成の変形例について説明するための図である。

5 第 2 4 図は、同じく、第 6 の実施の形態のスイッチング電源回路の二次側に備えられるチョークコイルの構成の変形例について説明するための図である。

第 2 5 図は、第 6 の実施の形態のスイッチング電源回路の二次側に備えられる、変形例としてのチョークコイルの構造を示す断面図である。

10 第 2 6 図は、第 6 の実施の形態のスイッチング電源回路の二次側に備えられる、他の変形例としてのチョークコイルの構造を示す断面図である。

第 2 7 図は、従来としての電源回路の構成を示す回路図である。

15 第 2 8 図は、従来の電源回路の重負荷時の動作を示す波形図である。

第 2 9 図は、従来の電源回路として巻線電圧検出方式の同期整流回路を備えた場合の二次側の構成を示す回路図である。

第 3 0 図は、第 2 9 図に示す二次側の構成を採った場合の、重負荷時の動作を示す波形図である。

20 第 3 1 図は、第 2 9 図に示す二次側の構成を採った場合の、軽負荷時の動作を示す波形図である。

第 3 2 図は、整流電流検出方式による同期整流回路の基本構成例を示す回路図である。

25 第 3 3 図は、第 3 2 図に示す同期整流回路の動作を示す波形図である。

発明を実施するための最良の形態

第1図は、本発明の第1の実施の形態としてのスイッチング電源回路の構成例を示している。この図に示す電源回路は、一次側の基本構成として、他励式によるハーフブリッジ結合方式による
5 電流共振形コンバータに対して部分電圧共振回路が組み合わされた構成を採る。

この図に示す電源回路においては、先ず、商用交流電源ACに対し、フィルタコンデンサCL、CL、及びコモンモードチョークコイルCMCによるノイズフィルタが形成されている。

10 そして、このようなノイズフィルタの後段に対しては、図のように整流ダイオードDA、DBから成る整流回路部Diと、2本の平滑コンデンサCi1、Ci2とから成る倍電圧整流回路が備えられる。この倍電圧整流回路によっては、平滑コンデンサCi1-Ci2の両端電圧として、交流入力電圧VACの2倍に対応したレベル整流平滑電圧Ei（直流入力電圧）が生成される。
15

この図に示す電源回路のように、負荷が比較的大きな電流を必要とする条件では、一次側スイッチングコンバータ側の回路に流れる電流レベルも増加する。これにより、スイッチング損失などが増加して電力変換効率が低下する。そこで、このようにして、
20 直流入力電圧を生成する整流回路系について倍電圧整流回路とすることで、例えば通常の全波整流により交流入力電圧VACの等倍に対応するレベルの整流平滑電圧Eiを供給する場合と比較して、一次側スイッチングコンバータの回路内に流れる電流レベルを約1/2とすることができる。これにより、一次側スイッチングコンバータによるスイッチング損失が低減されるようにしているものである。
25

上記直流入力電圧を入力してスイッチング（断続）する電流共振形コンバータとしては、図示するようにして、MOS-FET による 2 本のスイッチング素子 Q1, Q2 をハーフブリッジ結合により接続したスイッチング回路を備える。スイッチング素子 Q1, Q2 の各ドレイン-ソース間に対しては、ダンパダイオード DD1, DD2 が並列に接続される。ダンパダイオード DD1 のアノード、カソードは、それぞれスイッチング素子 Q1 のソース、ドレインと接続される。同様にして、ダンパダイオード DD2 のアノード、カソードは、それぞれスイッチング素子 Q2 のソース、ドレインと接続される。ダンパダイオード DD1, DD2 は、それぞれスイッチング素子 Q1, Q2 が備えるボディダイオードとされる。

また、スイッチング素子 Q2 のドレイン-ソース間に対しては、部分共振コンデンサ Cp が並列に接続される。この部分共振コンデンサ Cp のキャパシタンスと一次巻線 N1 のリーケージインダクタンス L1 によっては並列共振回路（部分電圧共振回路）を形成する。そして、スイッチング素子 Q1, Q2 のターンオフ時にのみ電圧共振する、部分電圧共振動作が得られるようになっている。

この電源回路においては、スイッチング素子 Q1, Q2 をスイッチング駆動するために、発振・ドライブ回路 2 が設けられる。この発振・ドライブ回路 2 は、発振回路、駆動回路を有しており、例えば汎用の IC を用いることができる。そして、この発振・ドライブ回路 2 内の発振回路及び駆動回路によって、所要の周波数によるドライブ信号（ゲート電圧）をスイッチング素子 Q1, Q2 の各ゲートに対して印加する。これにより、スイッチング素子 Q1, Q2 は、所要のスイッチング周波数により交互にオン/オフす

るようにしてスイッチング動作を行う。

絶縁コンバータトランス P I T は、スイッチング素子 Q 1 、 Q 2 のスイッチング出力を二次側に伝送するために設けられる。

この絶縁トランス P I T の一次巻線 N 1 の一方の端部は、一次
5 側並列共振コンデンサ C 1 の直列接続を介して、スイッチング素子 Q 1 のソースとスイッチング素子 Q 2 のドレインとの接続点（スイッチング出力点）に接続されることで、スイッチング出力が伝達されるようになっている。

また、一次巻線 N 1 の他方の端部は、一次側アースに接続され
10 る。

ここで、絶縁コンバータトランス P I T は、後述する構造により、絶縁コンバータトランス P I T の一次巻線 N 1 に所要のリー
ケージインダクタンス L 1 を生じさせる。そして、直列共振コン
デンサ C 1 のキャパシタンスと、上記リーケージインダクタンス
15 L 1 によっては、一次側スイッチングコンバータの動作を電流共振形とするための一次側直列共振回路を形成する。

上記説明によると、この図に示す一次側スイッチングコンバータとしては、一次側直列共振回路（L 1 - C 1）による電流共振形としての動作と、前述した部分電圧共振回路（C p // L 1）とに
20 よる部分電圧共振動作とが得られることになる。

つまり、この図に示す電源回路は、一次側スイッチングコンバータを共振形とするための共振回路に対して、他の共振回路とが組み合わされた、複合共振形コンバータとしての構成を採っている。

25 絶縁コンバータトランス P I T の二次巻線には一次巻線 N 1 に伝達されたスイッチング出力に応じた交番電圧が励起される。

本実施の形態の場合、絶縁コンバータトランス P I T の二次巻線としては、図のように、それぞれ上記一次巻線 N 1 と巻方向が同極性とされた二次巻線 N 2 A, 二次巻線 N 2 B が備えられる。

5 これら二次巻線 N 2 A, N 2 B は、それぞれセンタータップが施されたことで、それぞれ図のように 2 つの巻線部に分割されている。ここでは、二次巻線 N 2 A の巻き始め端部を含む巻線部を巻線部 N 2 A1 とし、巻き終わり端部を含む巻線部は巻線部 N 2 A2 としている。また、二次巻線 N 2 B の巻き始め端部を含む巻線部は巻線部 N 2 B1、巻き終わり端部を含む巻線部は巻線部 N 2 B2 とする。
10

この場合の二次巻線 N 2 A, N 2 B において、上記巻線部 N 2 A1, N 2 A2, N 2 B1, N 2 B2 は、それぞれ同じ所定のターン数を有する。

そして、この二次巻線 N 2 A, N 2 B に対しては、整流用素子として N チャネルの MOS - F E T Q 3, Q 4 を備える全波整流の同期整流回路が備えられる。これら MOS - F E T Q 3, Q 4 は、例えば低耐圧のトレンチ構造のものを選定することで、低オン抵抗を得るようにされる。
15

上記二次巻線 N 2 A, N 2 B の各センタータップ出力は、平滑コンデンサ C o の正極端子に接続される。
20

そして、二次巻線 N 2 A, N 2 B の各巻き始め端部は、インダクタ L d1 → MOS - F E T Q 3 のドレイン → ソースを介して、二次側アース（平滑コンデンサ C o の負極端子側）に接続される。

また、二次巻線 N 2 A, N 2 B の各巻き終わり端部は、インダクタ L d2 → MOS - F E T Q 4 のドレイン → ソースを介して、二次側アース（平滑コンデンサ C o の負極端子側）に接続される。
25

なお、MOS-FET Q3, Q4 のドレインソースに対しては、それぞれ、ボディダイオード DD3, DD4 が接続される。

このような接続形態によれば、二次巻線 N2A、N2B の巻線部 N2A1、巻線部 N2B1 を含む整流電流経路においては、MOS-FET Q3 が直列に挿入される。また、二次巻線 N2A、N2B の巻線部 N2A2、巻線部 N2B2 を含む整流電流経路においては、MOS-FET Q4 が直列に挿入された構造となっている。

また、この際、上記巻線部 N2A1、巻線部 N2B1 を含む整流電流経路においては、二次巻線 N2A、N2B の各巻き始め端部と MOS-FET Q3 のドレインとの間に、インダクタ Ld1 が直列に挿入されるものとなる。同様に、上記巻線部 N2A2、巻線部 N2B2 を含む整流電流経路においては、二次巻線 N2A、N2B の各巻き終わり端部と MOS-FET Q4 のドレインとの間にインダクタ Ld2 が直列に挿入される。

そして、MOS-FET Q3 を駆動する駆動回路は、二次巻線 N2A の巻き終わり端部と MOS-FET Q3 のゲートとの間に、ゲート抵抗 Rg1 を接続して形成される。

同様に、MOS-FET Q4 を駆動する駆動回路は、二次巻線 N2B の巻き始め端部と MOS-FET Q4 のゲートとの間に、ゲート抵抗 Rg2 を接続して形成される。

つまりこの場合、上記 MOS-FET Q3 は、それぞれ巻線部 N2A2、巻線部 N2B2 に励起される交番電圧が上記ゲート抵抗 Rg1 により検出されて導通するようにされ、また、MOS-FET Q4 は、巻線部 N2A1、巻線部 N2B1 に励起される交番電圧が上記ゲート抵抗 Rg2 により検出されて導通するようにされているものである。

MOS-FETは、ゲートにオン電圧を印加すると、ドレイン-ソース間は、単なる抵抗体と等価となるので、電流は双方向に流れる。これを二次側の整流素子として機能させようとするれば、平滑コンデンサC_oの正極端子に充電する方向のみに電流を流さなければならない。これとは逆方向に電流が流れると、平滑コンデンサC_oから絶縁コンバータトランスPIT側に放電電流が流れて、負荷側に有効に電力を伝達することができなくなる。また、逆電流によるMOS-FETの発熱、ノイズなどが生じて、一次側におけるスイッチング損失も招く。

- 10 上記した駆動回路は、二次巻線の電圧を検出することに基づいて、平滑コンデンサC_oの正極端子に充電する方向（つまり、この場合ではソース→ドレイン方向）の電流のみが流れるように、MOS-FET Q₃, Q₄をスイッチング駆動するための回路である。つまり、この場合における同期整流回路の回路構成としては、
15 巻線電圧検出方式により、整流電流に同期させてMOS-FET Q₃, Q₄をオン/オフ駆動する構成を採っているものである。

なお、この場合、MOS-FET Q₃、MOS-FET Q₄の駆動回路系を形成するとされるゲート抵抗R_{g1}、R_{g2}に対しては、それぞれ並列にショットキーダイオードD_{g1}、ショットキーダイオードD_{g2}を図示する方向により接続するようにしている。これらショットキーダイオードD_{g1}、D_{g2}によっては、後述するようにMOS-FET Q₃、Q₄のゲート入力容量の蓄積電荷を、これらのターンオフ時に放電するための経路が形成される。

- 20 また、この場合、MOS-FET Q₃のゲート-ソース間に対しては、図のようにツェナーダイオードD_{z1}、ツェナーダイオードD_{z2}を挿入し、同様にMOS-FET Q₄のゲート-ソース間

にはツェナーダイオードDz3、ツェナーダイオードDz4を挿入しているが、これらのツェナーダイオードによってはMOS-FET Q3、Q4についての過電圧保護回路が形成される。

このようなツェナーダイオードDzとしては、ツェナー電位(ブレイクダウン電位)としてMOS-FET Q3、Q4の耐圧レベルに応じた電位のもが選定される。これにより、MOS-FET Q3、Q4のゲート-ソース間電位が耐圧レベル以上に上昇するのに応じ、これらツェナーダイオードDzが導通してMOS-FET Q3、Q4を保護することができる。

例えば、この場合のツェナーダイオードDzとしては、ツェナー電位=±20Vのものが選定される。また、例えばこれらツェナーダイオードDz1、Dz2、及びツェナーダイオードDz3、Dz4は、それぞれMOS-FET Q3、MOS-FET Q4に対して内蔵されるようにして備えられる。

また、上述もしたように、この第1図に示す電源回路では、二次巻線N2Aの巻き始め端部-MOS-FET Q3のドレイン間に対し、インダクタLd1を挿入している。また、同様に二次巻線N2Bの巻き始め端部-MOS-FET Q4のドレイン間に対しては、インダクタLd2を挿入している。

本実施の形態において、これらインダクタLd1、Ld2としては、例えば0.6μH程度の比較的低いインダクタンスを設定するものとしている。

ここで、このように低いインダクタンスを得るにあたっては、上記インダクタLd1、Ld2として、次の第3図に示すようなビーズコアを用いることが考えられる。

すなわち、この第3図に示されるようにして、例えばアモルフ

ァス磁性体若しくはフェライト材等の磁性体が筒形状に形成されたビーズコアによって、リード線を挿通する。そして、このようにリード線を挿通したビーズコアを、1つのインダクタ素子としてプリント基板上に実装するものである。

- 5 或いは、本実施の形態において、このようなインダクタ L_{d1} 、 L_{d2} として低インダクタンスを得るにあたっては、これらインダクタ L_{d1} 、 L_{d2} を例えば次の第4A図、第4B図に示すようにして形成するものとしている。

10 先ず、第4A図は、インダクタ L_{d1} 、 L_{d2} として、上記したようなビーズコアを用いる他の例を示している。

この場合、上記したようなアモルファス磁性体若しくはフェライト材等の磁性体によるビーズコアを、図のようにプリント基板に半田付けされるMOS-FET $Q3$ 、 $Q4$ のドレイン電極端子としてのリード線を挿通するようにして設ける。そして、このよう
15 なビーズコアのインダクタンスによってインダクタ L_{d1} 、 L_{d2} を形成する。

このようにドレイン電極のリード線にビーズコアを直接設けるようにすれば、第3図に示したようなビーズコアとしての部品素子を基板上に実装する必要がなく、基板の省スペース化を図る
20 ことができる。

また、第4B図は、MOS-FET $Q3$ 、 $Q4$ を実装するプリント基板の配線パターンを螺旋状に形成する例である。

この場合は、プリント基板における、MOS-FET $Q3$ 、 $Q4$ のドレイン電極に配線されるべき銅箔パターンを、図示するように螺旋状に形成し、この螺旋形状によりインダクタ L_{d1} 、 L_{d2}
25 としての所要のインダクタンスを得るようにするものである。

これによれば、プリント配線基板の製造と同時にインダクタ L_d を形成できるというメリットがある。

説明を第 1 図に戻す。

上述した回路構成による同期整流回路によっては、平滑コンデンサ C_o に対して全波整流により整流して得られる整流電流を充電する動作が得られる。

すなわち、二次側に励起される交番電圧の一方の半周期には、巻線部 $N2A1$ 、 $N2B1$ を流れる電流がそれぞれ平滑コンデンサ C_o に対して充電される。また、交番電圧の他方の半周期には、巻線部 $N2A2$ 、 $N2B2$ に流れる電流がそれぞれ平滑コンデンサ C_o に対して充電される。これによって、上記交番電圧が正／負の期間で平滑コンデンサ C_o に充電する全波整流動作が得られるものである。

そして、このような平滑コンデンサ C_o の両端電圧として、図のような二次側直流出力電圧 E_o が得られる。この二次側直流出力電圧 E_o は、図示しない負荷側に供給されるとともに、次に説明する制御回路 1 のための検出電圧としても分岐して入力される。

制御回路 1 は、二次側直流出力電圧 E_o のレベル変化に応じた検出出力を発振・ドライブ回路 2 に供給する。発振・ドライブ回路 2 では、入力された制御回路 1 の検出出力に応じてスイッチング周波数が可変されるようにして、スイッチング素子 $Q1$ 、 $Q2$ を駆動する。スイッチング素子 $Q1$ 、 $Q2$ のスイッチング周波数が可変されることで、絶縁コンバータトランス PIT の一次巻線 $N1$ から二次巻線 $N2A$ 、 $N2B$ 側に伝送される電力が変化するが、これにより二次側直流出力電圧 E_o のレベルを安定化させるよう

に動作する。

例えば重負荷の傾向となって二次側直流出力電圧 E_o が低下するのに応じては、上記スイッチング周波数を高くするように制御することで、二次側直流出力電圧 E_o を上昇させる。これに対して、
5 して、軽負荷の傾向となって二次側直流出力電圧 E_o が上昇するのに応じては、上記スイッチング周波数を低くするように制御することで、二次側直流出力電圧 E_o を低下させる。

本実施の形態としては、この図に示す電源回路の回路構成の下で、低電圧、大電流とされる負荷条件に対応させることとしている。
10 る。ここでの低電圧大電流の状態としては、二次側直流電圧 $E_o = 5\text{ V}$ で、一次側スイッチングコンバータのスイッチング電流である一次側直列共振電流 $I_o = 20\text{ A}$ となる状態であるとする。

このような条件を前提として、第1図に示す電源回路としては、次のようにして各部所要の部品を構成し、また、選定している。

15 先ず、絶縁コンバータトランス PIT については、第2図に示す構造を採ることとしている。

この図に示すように、絶縁コンバータトランス PIT は、フェライト材によるE型コア $R1$ 、 $CR2$ を互いの磁脚が対向するように組み合わせたEE型コアを備える。

20 そして、一次側と二次側の巻装部について相互に独立するようにして分割した形状により、例えば樹脂などによって形成される、ボビン B が備えられる。このボビン B の一方の巻装部に対して一次巻線 $N1$ を巻装する。また、他方の巻装部に対して二次巻線 ($N2A$, $N2B$) を巻装する。このようにして一次側巻線及び二次側巻線が巻装されたボビン B を上記EE型コア ($CR1$, $CR2$) に
25 取り付けることで、一次側巻線及び二次側巻線とがそれぞれ異な

る巻装領域により、E E型コアの中央磁脚に巻装される状態となる。このようにして絶縁コンバータトランスP I T全体としての構造が得られる。この場合のE E型コアのサイズは例えばE E R - 3 5としている。

- 5 E E型コアの中央磁脚に対しては、図のようにして、例えばギャップ長1.5mm程度のギャップGを形成するようにしている。これによって、一次側巻線と二次側巻線との結合係数kとしては、例えば $k = 0.8$ 以下による疎結合の状態を得るようにしている。つまり、従来例として第27図に示した電源回路の絶縁コンバータトランスP I Tよりも、さらに疎結合の状態としているものである。なお、ギャップGは、E型コアC R 1, C R 2の中央磁脚を、2本の外磁脚よりも短くすることで形成することが出来る。
- 10

- そのうえで、二次側巻線の1 T (ターン)あたりの誘起電圧レベルとしても、第27図に示した電源回路よりも低くなるように、一次巻線N 1と二次巻線N 2A, N 2Bの巻線数(ターン数)を設定する。例えば、一次巻線 $N 1 = 80 T$ 、二次巻線 $N 2A = N 2B = 6 T$ (巻線部 $N 2A1 = N 2A2 = N 2B1 = N 2B2 = 3 T$)とすることで、二次側巻線の1 T (ターン)あたりの誘起電圧レベルを、 $2 V / T$ 以下としている。
- 15

- 20 このような絶縁コンバータトランスP I T及び一次巻線N 1、二次巻線(N 2A, N 2B)の巻線数を設定することで、絶縁コンバータトランスP I Tのコアにおける磁束密度が低下して、第27図に示した電源回路よりも、絶縁コンバータトランスP I Tにおけるリーケージインダクタンスは増加する。

- 25 また、一次側直列共振コンデンサC 1には、 $0.015 \mu F$ を選定した。また、二次側の同期整流回路を形成するM O S - F E

T Q3, Q4 については、30 A / 20 V を選定しており、そのオン抵抗は 2.5 mΩ である。

このような構成による第 1 図に示す電源回路の動作波形を、第 5 図及び第 6 図に示す。第 5 図は、交流入力電圧 $V_{AC} = 100\text{ V}$ 、
5 負荷電力 $P_o = 100\text{ W}$ のときの動作を示し、第 6 図は、交流入力電圧 $V_{AC} = 100\text{ V}$ 、負荷電力 $P_o = 25\text{ W}$ 時の動作を示している。第 1 図に示す電源回路の対応負荷電力範囲において、負荷電力 $P_o = 100\text{ W}$ は重負荷とされる条件であり、負荷電力 $P_o = 25\text{ W}$ は軽負荷の条件となる。

10 第 5 図に示す波形図において、スイッチング素子 Q2 の両端電圧 V_1 は、スイッチング素子 Q2 のオン／オフ状態に対応している。つまり、スイッチング素子 Q2 がオンとなる期間 T2 では 0 レベルで、オフとなる期間 T1 では所定レベルでクランプされた矩形波となる。そして、スイッチング素子 Q2 // ダンパダイオード DD2 に流れるスイッチング電流 I_{DS2} としては、期間 T2 に
15 示されるように、ターンオン時においては、ダンパダイオード DD2 を流れることで負極性となり、これが反転して正極性によりスイッチング素子 Q2 のドレイン→ソースを流れ、期間 T1 でオフとなって 0 レベルとなる波形が得られる。

20 また、スイッチング素子 Q1 は、上記スイッチング素子 Q2 に対して交互にオン／オフするようにしてスイッチングを行う。このため、スイッチング素子 Q1 // ダンパダイオード DD1 に流れるスイッチング電流としても、図示はしていないがスイッチング電流 I_{DS2} に対して 180° 位相がシフトした波形となる。また、
25 スwitchング素子 Q1 の両端電圧としても、スイッチング素子 Q2 の両端電圧 V_1 に対して 180° 位相がシフトした波形となる。

そして、スイッチング素子 $Q1, Q2$ のスイッチング出力点と一次側アース間に接続される一次側直列共振回路($C1-L1$)に流れる一次側直列共振電流 I_o は、スイッチング電流 I_{DS1} とスイッチング電流 I_{DS2} とが合成されたものとなる。これにより、図示するようにして、一次側直列共振電流 I_o は正弦波状となる。この波形を、第27図に示した従来の電源回路の一次側直列共振電流 I_o の波形(第28図参照)と比較すると、本実施の形態の一次側直列共振電流 I_o としては、一次巻線 $N1$ の励磁インダクタンスにより発生する鋸歯状波成分がほとんど含まれていないことが分かる。これは、絶縁コンバータトランス PIT の結合係数をより疎結合な状態としたことで、一次巻線 $N1$ のリーケージインダクタンス $L1$ が増加した分、相対的に一次巻線 $N1$ の励磁インダクタンスが小さくなったことに依る。

そして、このような一次側直列共振電流 I_o の波形が得られるのに応じて、二次巻線 $N2A$ の巻線部 $N2A1$ に得られる電圧 $V2$ としては、一次側直列共振電流 I_o の周期に応じた波形とされ、且つ二次側直流出力電圧 E_o に対応する絶対値レベルでクランプされた波形となる。

なお、この電圧 $V2$ としては、巻線部 $N2A1$ に得られる電位として示したが、二次巻線 $N2B$ における巻線部 $N2B2$ においても同等の波形により電位が生じていることになる。またこの場合、巻線部 $N2A2$ 、巻線部 $N2B2$ においても、この電圧 $V2$ と同等の電位が生じるものである。

ここで、第28図に示す電圧 $V2$ と比較して分かるように、この第5図に示す電圧 $V2$ は、一次側直列共振電流 I_o が0レベルとなるタイミングで、同様に0レベルとなる波形が得られる。つ

まり、この場合の電圧 V_2 としては、ゼロクロスタイミングが一次側直列共振電流 I_o のゼロクロスタイミングと重なるようになっている（図中時点 t_1 、 t_2 、 t_3 参照）。

そして、電圧検出方式による二次側の同期整流回路では、抵抗 R_{g2} から成る駆動回路により上記電圧 V_2 （巻線部 N_2A1 、 N_2B1 ）を検出し、MOS-FET Q_4 に対してオンレベルのゲート電圧を出力する。

この場合、電圧 V_2 としては、図示するように時点 t_1 にて正極性のピークレベルとなり、以降はそのレベルを低下させていき時点 t_2 にて 0 レベルとなるような波形とされている。MOS-FET Q_4 のゲート-ソース間に生じるゲート-ソース間電圧 V_{GS4} は、この電圧 V_2 が、 Q_4 のゲート-ソース間電位として定められた所定のレベルに対応したレベル以上を保つ期間（図中期間 $t_1 \sim t_{d1}$ ）において、オン電圧を発生させる。つまり、この期間 $t_1 \sim t_{d1}$ が、MOS-FET Q_4 のオン期間 D_{ON2} となる。

そして、この期間 D_{ON2} が終了する時点 t_{d1} から時点 t_2 までは、MOS-FET Q_4 のデットタイムであり、このデットタイムである期間 $t_{d1} \sim t_2$ では Q_4 のボディダイオード DD_4 を介して整流電流が流れる。このことは、図示するゲート-ソース間電圧 V_{GS4} における期間 $t_{d1} \sim t_2$ の電位によっても示されている。

これによって、MOS-FET Q_4 を介して流される整流電流 I_4 としては、図示するように時点 $t_1 \sim t_2$ の期間にわたって流れるようになる。つまり、この整流電流 I_4 としては、これら時点 t_1 、 t_2 において、一次側直列共振電流 I_o と 0 レベルになるタイミングが重なるようにされ、これによって一次側直列共振電流と連続するものとなる。

また、同様に抵抗 R_{g1} から成る駆動回路では、上記電圧 V_2 と同等とされる巻線部 N_{2A2} 、 N_{2B2} に生じる電圧を検出し、 $MOS-FET Q_3$ に対してオンレベルのゲート電圧を出力するようにされる。

- 5 つまり、この場合、 $MOS-FET Q_3$ のゲートソース間に生じるゲートソース間電圧 V_{GS3} は、巻線部 N_{2A2} 、 N_{2B2} 側に生じる電圧 V_2 がゲートソース間電位としての所定のレベルに対応したレベル以上を保つ期間（図中期間 $t_2 \sim t_{d2}$ ）において、オン電圧を発生させ、これによってこの期間 $t_2 \sim t_{d2}$
10 が $MOS-FET Q_3$ のオン期間 D_{ON1} となる。

そして、同様にこの期間 D_{ON1} が終了する時点 t_{d2} から時点 t_3 までは、 $MOS-FET Q_3$ のデットタイムであり、この期間 $t_{d2} \sim t_3$ では Q_3 のボディダイオード DD_3 を介して整流電流が流れる。

- 15 これによって、 $MOS-FET Q_3$ を介して流れる整流電流 I_3 としても、図示するように一次側直列共振電流 I_o のゼロクロスタイミングである時点 t_2 と時点 t_3 との間にわたって流れるようになり、一次側直列共振電流 I_o と連続して流れるものとなる。

- 20 平滑コンデンサへの充電電流 I_c としては、これら整流電流 I_3 、 I_4 が合成された図のような波形により流れるものとなる。つまり、整流動作としては、二次巻線 N_{2A} 、 N_{2B} に生じる電圧が正／負となる各期間で平滑コンデンサ C_o に対して充電する、全波整流動作が得られていることがわかる。

- 25 そして、前述したように、この場合の二次巻線に生じる電圧 V_2 は、一次側直列共振電流 I_o が 0 レベルとなるのに応じ 0 レベ

ルとなるから、電圧 V_2 は一次側直列共振電流と連続するものとなる。さらに、このように電圧 V_2 が連続することによって、上記説明のようにして整流電流 I_3 、整流電流 I_4 も連続することになり、従って、平滑コンデンサ C_o に対する充電電流 I_c も連続して流れることになる。

つまり、本実施の形態としては、重負荷とされてスイッチング周波数が低くなるようにして制御されているときにも、二次側整流電流としては連続モードが得られていることになる。なお、この場合、整流電流 I_3 、 I_4 としては 28 A_p となっており、例えば従来の第 28 図に示した整流電流 I_1 、 I_2 よりも低減している。これは、例えば、同等のスイッチング周波数に対応する周期内において、整流電流の導通期間が従来よりも拡大したことに依るものである。

このようにして、重負荷の条件でも連続モードが得られているのは、これまでの説明から理解されるように、ギャップ長の設定により絶縁コンバータトランス PIT の結合係数を 0.8 程度までに低下させてより疎結合の状態とし、また、例えば二次巻線の 1 ターンあたりの誘起電圧レベルが 2 V/T 程度に低下するようにして一次巻線 N_1 と二次巻線 N_2A (巻線部 N_2A1 、 N_2A2)、二次巻線 N_2B (巻線部 N_2B1 、 N_2B2) の巻数 (ターン数) 設定を行い、これにより、絶縁コンバータトランス PIT のコアに生じる磁束密度を所要以下にまで低下させたことにより得られるものである。

また、この第 5 図において、この場合の整流電流 I_3 、 I_4 としては、第 28 図に示した従来の整流電流 I_1 、 I_2 と比較してわかるように、逆方向電流が流されていないことがわかる。

つまり、従来において、整流電流 I_1 、 I_2 には $8A_p$ による逆方向電流が流れ、これが電力損失を生じさせていたが、本実施の形態ではこのような整流電流に生じていた逆方向電流が発生しないものである。

- 5 本実施の形態において、整流電流 I_3 、 I_4 にこのような逆方向電流が発生しないのは、先の第1図に示したようにして、各整流電流経路にインダクタ L_{d1} 、 L_{d2} を挿入するようにしたことによる。

- 10 つまり、このように整流電流経路に対してインダクタを挿入することによつては、整流電流が流れた際に、このインダクタに逆起電力が発生するようになる。そして、このように逆起電力が発生することに伴って、MOSFET Q_3 、 Q_4 のターンオフ時に生じるとされていた逆方向電流が抑圧されるようになるものである。

- 15 先にも述べたように、本実施の形態ではこれらインダクタ L_{d1} 、 L_{d2} として $0.6\mu H$ を設定し、これによつて整流電流 I_3 、 I_4 における逆方向電流の発生を防止することが可能とされる。

- 20 ここで、従来例でも述べたように、同期整流回路は、低オン抵抗で低耐圧のMOS-FETを整流用素子として用いるために、整流用素子にダイオード素子を用いる場合よりも導通損を低減することができる。

- 25 しかしながら、二次側整流電流が不連続モードで流れる場合において、同期整流回路として巻線電圧検出方式を採る場合、平滑コンデンサ C_o への充電電流が0レベルとなってもMOS-FETがオンを維持して逆方向電流が流れ、これが無効電力を生じていた。

この無効電力を解消しようとするれば、整流電流検出方式の同期整流回路を採用することになる。しかしながら、整流電流検出方式では、カレントトランス及びコンパレータを備える駆動回路系などが必要であり、回路構成が複雑で大規模化する。

- 5 これに対して本実施の形態では、重負荷時においても二次側整流電流を連続モードとしていることで、電圧検出方式による同期整流回路であっても、上記のような電流不連続期間の無効電力を低減できる。さらに、この場合は、上述のように二次側の各整流電流経路に対してインダクタ L_{d1} 、 L_{d2} をそれぞれ挿入すること
10 により、整流電流に逆方向電流が流れないようにして無効電力のさらなる低減を図っている。

このことから本実施の形態としては、同期整流回路として電圧検出方式による構成を採ることで、簡単な回路構成として回路規模の拡大を抑制し、さらにコストアップを避けるようにしていな
15 がら、なおかつ、電流不連続期間の無効電力による電力変換効率の低下の問題を解消していることになる。

なお、この第5図において、ゲートソース間電圧 V_{GS3} 、 V_{GS4} としては、それぞれ $MOS-FET$ $Q3$ 、 $Q4$ をターンオフとするタイミングで、この場合は $-9V$ による負の電位が生じてい
20 るが、これは、先に説明したようにして $MOS-FET$ $Q3$ 、 $Q4$ の各ゲートと二次巻線との間に、それぞれ抵抗 R_{g1} 、 R_{g2} と並列にショットキーダイオード D_{g1} 、 D_{g2} を挿入していることによる。

このようにショットキーダイオード D_{g1} 、 D_{g2} を挿入することによつては、 $MOS-FET$ $Q3$ 、 $Q4$ のターンオフ時に、これら
25 $MOS-FET$ $Q3$ 、 $Q4$ のゲート入力容量 (C_{iss}) の蓄積電荷を、これらショットキーダイオード D_{g1} 、 D_{g2} を介して引き抜く

ようにして流すことができる。

つまりこの場合、ゲート入力容量の電荷は、それぞれショットキーダイオード D_g (D_{g1} 、 D_{g2}) → 二次巻線 N_2 → 平滑コンデンサ C_o の経路により放電されることになる。そして、このよう
5 に入力容量の電荷が放電されることにより、MOS-FET Q_3 、 Q_4 におけるターンオフ時の電圧降下時間を減少させることができる。

このようにして、MOS-FET のターンオフ時の電圧降下時間を減少させることができれば、これら MOS-FET Q_3 、 Q_4
10 を確実にオフとさせてより良好なスイッチング特性を得ることができる。

また、第 6 図には、第 1 図に示す回路における軽負荷時 ($P_o = 25\text{ W}$ 時) の動作が示されている。

第 1 図に示す電源回路では、これまでの説明から理解されるように、二次側直流出力電圧 E_o の安定化のために、スイッチング
15 周波数制御による定電圧制御を行う。この定電圧制御は、軽負荷の条件となって二次側直流出力電圧が上昇すると、スイッチング周波数を高くするようにして二次側直流出力電圧を低下させ、これにより安定化を図るように動作する。

20 このような軽負荷の状態では、図示するスイッチング素子 Q_2 の両端電圧 V_1 に対して、二次側巻線電圧 V_2 はほぼ同じタイミングで得られるようになり、これに応じて、二次側の充電電流 I_c (整流電流 I_3 、 I_4) としても、図のように休止期間が無く平滑コンデンサ C_o に連続して充電されるようにして流れる。

25 このことから、第 1 図に示した電源回路では、軽負荷時においても連続モードとなることが理解できる。

続いて、第 7 図には、これまでに説明した構成による第 1 図に示す電源回路と、従来例である第 2 7 図の電源回路との比較として、負荷電力変動に対する AC→DC 電力変換効率 ($\eta_{AC \rightarrow DC}$) の特性を示す。ここでは、第 1 図の電源回路の特性を実線で示し、
5 第 2 7 図の電源回路の特性を破線で示す。

この第 7 図によると、AC→DC 電力変換効率 ($\eta_{AC \rightarrow DC}$) は、第 1 図に示す回路の方が第 2 7 図に示す電源回路に対して、負荷電力 $P_o = 0\text{ W} \sim 100\text{ W}$ の範囲にわたって高くなっていることが分かる。第 2 7 図に示す回路では、負荷電力 $P_o = 100\text{ W}$ 時には $\eta_{AC \rightarrow DC} = 82\%$ 程度であるのに対して、第 1 図に示す電源回路では、負荷電力 $P_o = 100\text{ W}$ 時には $\eta_{AC \rightarrow DC} = 88\%$ と、
10 6% 向上する結果が得られている。また、これに応じた交流入力電力としては、負荷電力 $P_o = 100\text{ W}$ 時に 8.4 W 低減する結果が得られた。

15 また、負荷電力 $P_o = 25\text{ W}$ 時には、 $\eta_{AC \rightarrow DC}$ が 8% 向上し、このとき交流入力電力は 2 W 低減する結果が得られている。

また、第 7 図では、一点鎖線により、各整流電流経路に対してインダクタ L_d ($L_{d1} = L_{d2} = 0.6\text{ }\mu\text{H}$) を挿入しない場合の AC→DC 電力変換効率を示している。この一点鎖線により示す特性
20 と、実線により示す第 1 図の回路の特性を比較してわかるように、この場合はインダクタ L_d を挿入した第 1 図の回路の場合の方が、負荷電力 $P_o = 0\text{ W} \sim 100\text{ W}$ の範囲にわたって $\eta_{AC \rightarrow DC}$ が高くなっている。

このことから、絶縁コンバータトランス P I T の漏洩インダクタンスを増加させて、重負荷時の不連続モードを排除したのみの
25 構成とするよりも、インダクタ L_d を挿入した本例の方が無効電

力のさらなる低減が図られていることがわかる。

このような第 7 図に示される電力変換効率の特性は、第 27 図に示す一次側の構成に対して、二次側に整流電流検出方式の同期整流回路を採用した場合(第 32 図参照)と同等となる。つまり、
5 先にも述べたように、第 32 図の整流電流検出方式を採用した場合の AC→DC 電力変換効率は $\eta_{AC \rightarrow DC} = 90\%$ 程度であるのに対し、本例では $\eta_{AC \rightarrow DC} = 90.8\%$ と、ほぼ同等の AC→DC 電力変換効率が得られるものである。

しかしながら先に説明したように、第 1 図に示す電源回路では、
10 同期整流回路の構成としては巻線電圧検出方式を採っていることで、回路構成はより簡略なものとすることができるものである。

第 8 図は、本発明における、第 2 の実施の形態としてのスイッチング電源回路の構成例を示している。なお、第 8 図においては、すでに第 1 図にて説明した部分について同一の符号を付して、説明を省略する。
15

この図に示す電源回路は、先に第 1 図に示した第 1 の実施の形態の電源回路において、二次巻線 N2A、N2B の各センタータップ出力が、図示するようにインダクタ L_0 を介して平滑コンデンサ C_0 の正極端子に接続されるようにしたものである。

20 また、第 8 図の回路においては、上述もしたように各整流電流経路に対して共通となるようにしてインダクタ L_0 が挿入されるが、このようなインダクタ L_0 としても、同様に $0.3 \mu H$ 程度の低インダクタンスを設定するものとしている。

従って、このようなインダクタ L_0 についても、先の第 4A 図、
25 第 4B 図に示したようにしてこのような低インダクタンスを得るように構成されてもよい。

このような構成による第 8 図に示す電源回路の動作波形を、第 9 図に示す。第 9 図は、交流入力電圧 $V_{AC} = 100\text{ V}$ 、負荷電力 $P_o = 100\text{ W}$ のときの動作波形を示し、第 8 図に示す電源回路の対応負荷電力範囲において、負荷電力 $P_o = 100\text{ W}$ は重負荷とされる条件である。

第 9 図に示す波形図において、スイッチング素子 Q_2 の両端電圧 V_1 は、スイッチング素子 Q_2 のオン／オフ状態に対応している。つまり、スイッチング素子 Q_2 がオンとなる期間 T_2 では 0 レベルで、オフとなる期間 T_1 では所定レベルでクランプされた矩形波となる。そして、スイッチング素子 Q_2 // ダンパダイオード DD_2 に流れるスイッチング電流 I_{DS2} としては、期間 T_2 に示されるように、ターンオン時においては、ダンパダイオード DD_2 を流れることで負極性となり、これが反転して正極性によりスイッチング素子 Q_2 のドレイン→ソースを流れ、期間 T_1 でオフとなって 0 レベルとなる波形が得られる。

また、スイッチング素子 Q_1 は、上記スイッチング素子 Q_2 に対して交互にオン／オフするようにしてスイッチングを行う。このため、スイッチング素子 Q_1 // ダンパダイオード DD_1 に流れるスイッチング電流としても、図示はしていないがスイッチング電流 I_{DS2} に対して 180° 位相がシフトした波形となる。また、スイッチング素子 Q_1 の両端電圧としても、スイッチング素子 Q_2 の両端電圧 V_1 に対して 180° 位相がシフトした波形となる。

そして、スイッチング素子 Q_1 , Q_2 のスイッチング出力点と一次側アース間に接続される一次側直列共振回路 ($C_1 - L_1$) に流れる一次側直列共振電流 I_o は、スイッチング電流 I_{DS1} とスイッチング電流 I_{DS2} とが合成されたものとなる。これにより、図

示するようにして、一次側直列共振電流 I_o は正弦波状となる。この波形を、第 27 図に示した従来の電源回路の一次側直列共振電流 I_o の波形（第 28 図参照）と比較すると、本実施の形態の一次側直列共振電流 I_o としては、一次巻線 N1 の励磁インダクタンスにより発生する鋸歯状波成分がほとんど含まれていないことが分かる。これは、絶縁コンバータトランス P I T の結合係数をより疎結合な状態としたことで、一次巻線 N1 のリーケージインダクタンス L_1 が増加した分、相対的に一次巻線 N1 の励磁インダクタンスが小さくなったことに依る。

10 そして、このような一次側直列共振電流 I_o の波形が得られるのに応じて、二次巻線 N2A の巻線部 N2A1 に得られる電圧 V_2 としては、一次側直列共振電流 I_o の周期に応じた波形とされ、且つ二次側直流出力電圧 E_o に対応する絶対値レベルでクランプされた波形となる。

15 なお、この電圧 V_2 としては、巻線部 N2A1 に得られる電位として示したが、二次巻線 N2B における巻線部 N2B1 においても同等の波形により電位が生じていることになる。またこの場合、巻線部 N2A2、巻線部 N2B2 においても、この電圧 V_2 と同等の電位が生じるものである。

20 ここで、第 28 図に示す電圧 V_2 と比較して分かるように、この第 9 図に示す電圧 V_2 は、一次側直列共振電流 I_o が 0 レベルとなるタイミングで、同様に 0 レベルとなる波形が得られる。つまり、この場合の電圧 V_2 としては、ゼロクロスタイミングが一次側直列共振電流 I_o のゼロクロスタイミングと重なるようになっている（図中時点 t_1 、 t_2 、 t_3 参照）。

25 そして、電圧検出方式による二次側の同期整流回路では、抵抗

R g 2 から成る駆動回路により上記電圧 V 2 (巻線部 N 2 A1、N 2 B1) を検出し、M O S - F E T Q 4 に対してオンレベルのゲート電圧を出力する。

この場合、電圧 V 2 としては、図示するように時点 t 1 にて正極性のピークレベルとなり、以降はそのレベルを低下させていき時点 t 2 にて 0 レベルとなるような波形とされている。M O S - F E T Q 4 のゲート-ソース間に生じるゲート-ソース間電圧 V G S 4 は、この電圧 V 2 が、Q 4 のゲート-ソース間電位として定められた所定のレベルに対応したレベル以上を保つ期間(図中期間 t 1 ~ t d1)において、オン電圧を発生させる。つまり、この期間 t 1 ~ t d1 が、M O S - F E T Q 4 のオン期間 D 0 N 2 となる。

そして、この期間 D 0 N 2 が終了する時点 t d1 から時点 t 2 までは、M O S - F E T Q 4 のデットタイムであり、このデットタイムである期間 t d1 ~ t 2 では Q 4 のボディダイオード D D 4 を介して整流電流が流れる。このことは、図示するゲート-ソース間電圧 V G S 4 における期間 t d1 - t 2 の電位によっても示されている。

これによって、M O S - F E T Q 4 を介して流される整流電流 I 4 としては、図示するように時点 t 1 ~ t 2 の期間にわたって流れるようになる。つまり、この整流電流 I 4 としては、これら時点 t 1、t 2 において、一次側直列共振電流 I o と 0 レベルになるタイミングが重なるようにされ、これによって一次側直列共振電流と連続するものとなる。

また、同様に抵抗 R g 1 から成る駆動回路では、上記電圧 V 2 と同等とされる巻線部 N 2 A2、N 2 B2 に生じる電圧を検出し、M O S - F E T Q 3 に対してオンレベルのゲート電圧を出力するようにされる。

つまり、この場合、 $MOS-FET Q3$ のゲート-ソース間に生じるゲート-ソース間電圧 V_{GS3} は、巻線部 $N2A2$ 、 $N2B2$ 側に生じる電圧 $V2$ がゲート-ソース間電位としての所定のレベルに対応したレベル以上を保つ期間（図中期間 $t2 \sim td2$ ）において、オン電圧を発生させ、これによってこの期間 $t2 \sim td2$ が $MOS-FET Q3$ のオン期間 $DON1$ となる。

そして、同様にこの期間 $DON1$ が終了する時点 $td2$ から時点 $t3$ までは、 $MOS-FET Q3$ のデットタイムであり、この期間 $td2 \sim t3$ では $Q3$ のボディダイオード $DD3$ を介して整流電流が流れる。

これによって、 $MOS-FET Q3$ を介して流れる整流電流 $I3$ としても、図示するように一次側直列共振電流 I_o のゼロクロスタイミングである時点 $t2$ と時点 $t3$ との間にわたって流れるようになり、一次側直列共振電流 I_o と連続して流れるものとなる。

平滑コンデンサへの充電電流 I_c としては、これら整流電流 $I3$ 、 $I4$ が合成された図のような波形により流れるものとなる。つまり、整流動作としては、二次巻線 $N2A$ 、 $N2B$ に生じる電圧が正/負となる各期間で平滑コンデンサ C_o に対して充電する、全波整流動作が得られていることがわかる。

そして、前述したように、この場合の二次巻線に生じる電圧 $V2$ は、一次側直列共振電流 I_o が 0 レベルとなるのに応じ 0 レベルとなるから、電圧 $V2$ は一次側直列共振電流と連続するものとなる。さらに、このように電圧 $V2$ が連続することによって、上記説明のようにして整流電流 $I3$ 、整流電流 $I4$ も連続することになり、従って、平滑コンデンサ C_o に対する充電電流 I_c も連続

して流れることになる。

つまり、本実施の形態としては、重負荷とされてスイッチング周波数が低くなるようにして制御されているときにも、二次側整流電流としては連続モードが得られていることになる。なお、この場合、整流電流 I_3 、 I_4 としては 28 A p となっており、例えば従来の第 28 図に示した整流電流 I_1 、 I_2 よりも低減している。これは、例えば、同等のスイッチング周波数に対応する周期内において、整流電流の導通期間が従来よりも拡大したことに依るものである。

このようにして、重負荷の条件でも連続モードが得られているのは、これまでの説明から理解されるように、ギャップ長の設定により絶縁コンバータトランス P I T の結合係数を 0.8 程度までに低下させてより疎結合の状態とし、また、例えば二次巻線の 1 ターンあたりの誘起電圧レベルが $2\text{ V} / T$ 程度に低下するようにして一次巻線 N 1 と二次巻線 N 2 A (巻線部 N 2 A1、N 2 A2)、二次巻線 N 2 B (巻線部 N 2 B1、N 2 B2) の巻数 (ターン数) 設定を行い、これにより、絶縁コンバータトランス P I T のコアに生じる磁束密度を所要以下にまで低下させたことにより得られるものである。

また、この第 9 図において、この場合の整流電流 I_3 、 I_4 としては、第 28 図に示した従来の整流電流 I_1 、 I_2 と比較してわかるように、逆方向電流が流されていないことがわかる。

つまり、従来において、整流電流 I_1 、 I_2 には 8 A p による逆方向電流が流れ、これが電力損失を生じさせていたが、本実施の形態ではこのような整流電流に生じていた逆方向電流が発生しないものである。

本実施の形態において、整流電流 I_3 、 I_4 にこのような逆方向電流が発生しないのは、先の第 1 図に示したようにして、各整流電流経路にインダクタ L_{d1} 、 L_{d2} を、また各整流電流経路に共通となる経路に対しインダクタ L_o を挿入するようにしたことによる。

このように整流電流経路に対して各インダクタを挿入することによって、整流電流が流れた際に、このインダクタに逆起電力が発生するようになる。そして、このように逆起電力が発生することに伴って、MOSFET Q_3 、 Q_4 のターンオフ時に生じるとされていた逆方向電流が抑圧されるようになるものである。

先にも述べたように、本実施の形態ではこれらインダクタ L_{d1} 、 L_{d2} 、及びインダクタ L_o として $0.3 \mu H$ を設定し、これによって整流電流 I_3 、 I_4 における逆方向電流の発生を防止することが可能とされる。

ここで、従来例でも述べたように、同期整流回路は、低オン抵抗で低耐圧の MOS-FET を整流用素子として用いるために、整流用素子にダイオード素子を用いる場合よりも導通損を低減することができる。

しかしながら、二次側整流電流が不連続モードで流れる場合において、同期整流回路として巻線電圧検出方式を採用する場合、平滑コンデンサ C_o への充電電流が 0 レベルとなっても逆方向電流が流れ、これが無効電力を生じていた。

この無効電力を解消しようとするれば、整流電流検出方式の同期整流回路を採用することになる。しかしながら、整流電流検出方式では、カレントトランス及びコンパレータを備える駆動回路系などが必要であり、回路構成が複雑で大規模化する。

これに対して本実施の形態では、重負荷時においても二次側整流電流を連続モードとしていることで、電圧検出方式による同期整流回路であっても、上記のような電流不連続期間の無効電力を低減できる。さらに、この場合は、上述のように二次側の整流電

5 流経路に対してインダクタ L_{d1} 、 L_{d2} 、 L_o をそれぞれ挿入することにより、整流電流に逆方向電流が流れないようにして無効電力のさらなる低減を図っている。

このことから本実施の形態としては、同期整流回路として電圧検出方式による構成を採ることで、簡単な回路構成として回路規模の拡大を抑制し、さらにコストアップを避けるようにしてい

10 ながら、なおかつ、電流不連続期間の無効電力による電力変換効率の低下の問題を解消していることになるものである。

また、第9図においては、二次側直流出力電圧 E_o に生じるリップル成分 ΔE_o が示されている。

このリップル成分 ΔE_o としては、図示するように、この場合の二次側直流出力電圧 E_o の出力レベルである 5 V を中心として、 $\Delta E_o = 0.1 \text{ V}_p$ の範囲で生じるという結果が得られている。

15

ここで、この第9図に示される実験結果によれば、この場合の二次側直流出力電圧 E_o には、MOS-FET Q_3 、 Q_4 がターンオフするタイミングに応じて高周波成分が重畳される。これは、同期整流回路として、MOS-FET Q_3 、 Q_4 をスイッチング駆動することに伴うスイッチングノイズによるものと考えられる。

20

本例の電源回路においては、このような二次側直流出力電圧 E_o に生じる高周波成分が、平滑コンデンサ C_o に整流電流を充電する経路に備えられたインダクタ L_o によって抑制される。

25

例えば、第 8 図の回路構成から、このようなインダクタ L_o を削除した構成の場合は、MOS-FET Q_3 、 Q_4 のターンオフ時に生じる上記のような高周波成分としては、 $E_o = 5\text{ V}$ のレベルを中心として 0.3 V_p が発生していたものである。

- 5 これに対し、第 8 図に示したようにして整流電流経路にインダクタ L_o を設けた本例によつては、図示するようにこの高周波成分のレベルを 0.1 V_p にまで低下させることができる。つまり、このようなインダクタ L_o の有するインピーダンス成分（交流抵抗成分）によつて、上記のように二次側直流出力電圧 E_o に重畳
10 される高周波成分を抑制することができるものである。

- なお、この第 8 図において、ゲートソース間電圧 V_{GS3} 、 V_{GS4} としては、それぞれ MOS-FET Q_3 、 Q_4 をターンオフとするタイミングで、この場合は -3 V による負の電位が生じているが、これは、先に説明したようにして MOS-FET Q_3 、 Q_4
15 の各ゲートと二次巻線との間に、それぞれ抵抗 R_{g1} 、 R_{g2} と並列にショットキーダイオード D_{g1} 、 D_{g2} を挿入していることによる。

- このようにショットキーダイオード D_{g1} 、 D_{g2} を挿入することによつては、MOS-FET Q_3 、 Q_4 のターンオフ時に、これら MOS-FET Q_3 、 Q_4 のゲート入力容量（ C_{iss} ）の蓄積電荷
20 を、これらショットキーダイオード D_{g1} 、 D_{g2} を介して引き抜くようにして流すことができる。

- つまりこの場合、ゲート入力容量の電荷は、それぞれショットキーダイオード D_g （ D_{g1} 、 D_{g2} ）→二次巻線 N_2 →平滑コンデンサ C_o の経路により放電されることになる。そして、このよう
25 に入力容量の電荷が放電されることにより、MOS-FET Q_3 、 Q_4 におけるターンオフ時の電圧降下時間を減少させることがで

きる。

このようにして、MOS-FETのターンオフ時の電圧降下時間を減少させることができれば、これらMOS-FET Q3、Q4を確実にオフとさせて良好なスイッチング特性を得ることがで

5 きる。

なお、第8図に示す回路における軽負荷時 ($P_o = 25\text{ W}$ 時)の動作は、第6図と同様なため図示を省略する。

また、これまでに説明した構成による第8図に示す電源回路と、従来例との比較として、負荷電力変動に対するAC→DC電力変換
10 効率 ($\eta_{AC \rightarrow DC}$) の特性は、第7図とほぼ同様であり、図示を省略する。

続いては、第10図に本発明の第3の実施の形態としてのスイッチング電源回路の構成を示す。

なお、第10図においては、既に第1図にて説明した部分につ
15 いて同一の符号を付して説明を省略する。

第3の実施の形態のスイッチング電源回路は、先の第8図に示した第2の実施の形態の電源回路の構成から、インダクタ L_{d1} 、 L_{d2} を削除するようにしたものである。

そして、このように二次側整流電流経路において挿入されるインダクタとして、インダクタ L_o のみを設けるようにした上で、
20 そのインダクタンスを、第8図の場合よりも高い $0.6\text{ }\mu\text{ H}$ に設定するようにしたものである。

第11図は、第3の実施の形態の電源回路における各部の動作波形を示している。

25 上記のようにインダクタ L_o として、第8図の場合よりも高いインダクタンスを設定することにより、この場合の二次側直流出

力電圧 E_o には、MOS-FET Q_3 、 Q_4 のターンオフ時に生じるとされていた高周波成分が除去されるものとなる。

つまり、この場合はインダクタ L_o のインダクタンスがより高く設定されたことで、第 8 図の場合よりもこのインダクタ L_o による高周波抑制効果がより高くなるようにされているものである。

なお、この場合、MOS-FET Q_3 、 Q_4 のターンオフ時にゲートソース間電圧 V_{GS3} 、 V_{GS4} のそれぞれに生じる負電圧は、図示するように -1 V に低下する結果が得られた。

これは、上記のようにインダクタ L_o のインダクタンスを高く設定したことによって、このインダクタ L_o に生じる逆起電力が第 8 図の場合よりも上昇し、これに伴い整流電流経路に流れる、上記負電圧に対応した整流電流のレベルが抑制されたことによるものと考えられる。

このようにして第 3 の実施の形態によっては、インダクタ L_o のインダクタンスを第 8 図の場合よりも高く設定したことにより、二次側直流出力電圧 E_o に生じるとされていた高周波成分を除去することができる。

また、この場合としても、このようなインダクタ L_o に生じる逆起電力によって、整流電流 I_3 、 I_4 に生じるとされる逆方向電流が抑制される。そして、この場合は、上記もしたようにインダクタ L_o のインダクタンスとして $0.6\text{ }\mu\text{H}$ を設定することで、整流電流 I_3 、 I_4 に逆方向電流が生じないようにすることができるものである。

つまり、このような第 3 の実施の形態によれば、第 8 図の回路の場合と同様に同期整流回路における無効電力の削減を図るこ

とができる上に、二次側直流出力電圧 E_o に生じるとされていた高周波成分を除去することができるものである。

また、さらにこの場合は、インダクタ L_{d1} 、 L_{d2} を不要とすることができるので、第 8 図の構成よりも部品点数の削減、及びプリント基板におけるこれらの実装面積の削減を図ることができる。

第 12 図は、本発明における、第 4 の実施の形態としてのスイッチング電源回路を構成例を示している。なお、第 12 図においては、すでに第 1 図にて説明した部分について同一の符号を付して説明を省略する。

また、この場合のスイッチング電源回路においては、上記二次側直流出力電圧 E_o のラインに対し、上記した平滑コンデンサ C_o1 、及び平滑コンデンサ C_o2 、及びチョークコイル L_n によるフィルタ回路が形成される。

このフィルタ回路としては、図示するように平滑コンデンサ C_o1 の正極端子に対して、チョークコイル L_n の一端を接続する。そして、このチョークコイル L_n の他端に対して、平滑コンデンサ C_o2 の正極端子を接続し、さらに平滑コンデンサ C_o2 の負極端子を二次側アースに接地して成る。

このような接続形態によれば、平滑コンデンサ C_o1 、平滑コンデンサ C_o2 の並列接続回路が形成され、さらに、これら平滑コンデンサ C_o1 、 C_o2 の各正極端子間に対しては、チョークコイル L_n が挿入されたものとなる。

つまり、この第 12 図に示す回路においては、二次側直流出力電圧 E_o のラインに対し、 C 、 L 、 C による所謂 π 型フィルタを設けるようにしているものである。

ここで、このように二次側直流出力電圧 E_o のラインに対してフィルタ回路を設けるようにしたのは、以下のような理由による。

先にも説明したように、第 12 図の基本構成においては、MOS-FET Q_3 、 Q_4 の各ゲートに対し、各々ショットキーダイオード D_g を接続するものとしていた。これによつては、各 MOS-FET のターンオフ時にそれぞれのゲート入力容量の蓄積電荷を強制的に引き抜くようにして、MOS-FET の良好なターンオフ特性を得ることが可能とされる。

しかしながら、このようにショットキーダイオード D_g を設けることによつては、MOS-FET として良好なターンオフ特性を得ることができる一方で、二次側整流電流経路においてはスイッチングノイズが発生し易いものとされていた。そして、この影響により二次側直流出力電圧 E_o にも高周波のノイズが重畳し易くなっていたものである。

そこで第 12 図の回路では、上記したような π 型フィルタを備えることによつて、このように二次側直流出力電圧 E_o に生じるノイズの抑制を図るようにしたものである。

なお、この場合の上記フィルタ回路においては、上記平滑コンデンサ C_{o1} 、平滑コンデンサ C_{o2} として、例えばアミジン系アルミ電解コンデンサで構成し、そのキャパシタンス C として、例えば $C = 6800 \mu F$ 、耐圧は $6.3 V$ 、ESR（等価直列抵抗値）は $15 m\Omega$ 以下となるものを選定している。

さらに、上記チョークコイル L_n としては、例えば DCR（直流抵抗値）= $1 m\Omega$ 程度、インダクタンス $L = 0.7 \mu H$ 程度に設定している。

これによつて、二次側直流出力電圧 E_o に生じる高周波ノイズ

のピークレベルを、 100 mV 以下に抑制している。

このような構成による第12図に示す電源回路の動作波形を、第13図及び第14図に示す。第13図は、交流入力電圧 $V_{AC}=100\text{ V}$ 、負荷電力 $P_o=100\text{ W}$ のときの動作を示し、第14図は、交流入力電圧 $V_{AC}=100\text{ V}$ 、負荷電力 $P_o=25\text{ W}$ 時の動作を示している。第12図に示す電源回路の対応負荷電力範囲において、負荷電力 $P_o=100\text{ W}$ は重負荷とされる条件であり、負荷電力 $P_o=25\text{ W}$ は軽負荷の条件となる。

第13図に示す波形図において、スイッチング素子 Q_2 の両端電圧 V_1 は、スイッチング素子 Q_2 のオン/オフ状態に対応している。つまり、スイッチング素子 Q_2 がオンとなる期間 T_2 では0レベルで、オフとなる期間 T_1 では所定レベルでクランプされた矩形波となる。そして、スイッチング素子 Q_2 //ダンパダイオード DD_2 に流れるスイッチング電流 I_{DS2} としては、期間 T_2 に示されるように、ターンオン時には、ダンパダイオード DD_2 を流れることで負極性となり、これが反転して正極性によりスイッチング素子 Q_2 のドレイン→ソースを流れ、期間 T_1 でオフとなって0レベルとなる波形が得られる。

また、スイッチング素子 Q_1 は、上記スイッチング素子 Q_2 に対して交互にオン/オフするようにしてスイッチングを行う。このため、スイッチング素子 Q_1 //ダンパダイオード DD_1 に流れるスイッチング電流としても、図示はしていないがスイッチング電流 I_{DS2} に対して 180° 位相がシフトした波形となる。また、スイッチング素子 Q_1 の両端電圧としても、スイッチング素子 Q_2 の両端電圧 V_1 に対して 180° 位相がシフトした波形となる。

そして、スイッチング素子 Q_1 , Q_2 のスイッチング出力点と一

次側アース間に接続される一次側直列共振回路（ $C1-L1$ ）に流れる一次側直列共振電流 I_o は、スイッチング電流 I_{DS1} とスイッチング電流 I_{DS2} とが合成されたものとなる。これにより、図示するようにして、一次側直列共振電流 I_o は正弦波状となる。

- 5 この波形を、第 27 図に示した従来の電源回路の一次側直列共振電流 I_o の波形（第 28 図参照）と比較すると、第 12 図の回路の場合の一次側直列共振電流 I_o としては、一次巻線 $N1$ の励磁インダクタンスにより発生する鋸歯状波成分がほとんど含まれていないことが分かる。これは、絶縁コンバータトランス PIT
- 10 の結合係数をより疎結合な状態としたことで、一次巻線 $N1$ のリーケージインダクタンス $L1$ が増加した分、相対的に一次巻線 $N1$ の励磁インダクタンスが小さくなったことに依る。

- そして、このような一次側直列共振電流 I_o の波形が得られるのに応じて、二次巻線 $N2B$ の巻線部 $N2B2$ に得られる電圧 $V2$
- 15 としては、一次側直列共振電流 I_o の周期に応じた波形とされ、且つ二次側直流出力電圧 E_o に対応する絶対値レベルでクランプされた波形となる。

- なお、この電圧 $V2$ としては、巻線部 $N2B2$ に得られる電位として示したが、二次巻線 $N2A$ における巻線部 $N2A2$ においても
- 20 同等の波形により電位が生じていることになる。またこの場合、巻線部 $N2A1$ 、巻線部 $N2B1$ においても、この電圧 $V2$ と同等の電位が生じるものである。

- ここで、第 28 図に示す電圧 $V2$ と比較して分かるように、この第 13 図に示す電圧 $V2$ は、一次側直列共振電流 I_o が 0 レベルとなるタイミングで、同様に 0 レベルとなる波形が得られる。
- 25 つまり、この場合の電圧 $V2$ としては、ゼロクロスタイミングが

一次側直列共振電流 I_o のゼロクロスタイミングと重なるようになっている（図中時点 t_1 、 t_2 、 t_3 参照）。

そして、電圧検出方式による二次側の同期整流回路では、抵抗 R_{g2} から成る駆動回路により上記電圧 V_2 （巻線部 N_2A_2 、 N_2B_2 ）を検出し、MOS-FET Q_4 に対してオンレベルのゲート電圧を出力する。

この場合、電圧 V_2 としては、図示するように時点 t_1 にて正極性のピークレベルとなり、以降はそのレベルを低下させていき時点 t_2 にて 0 レベルとなるような波形とされている。MOS-FET Q_4 のゲート-ソース間に生じるゲート-ソース間電圧 V_{GS4} は、この電圧 V_2 が、 Q_4 のゲート-ソース間電位として定められた所定のレベルに対応したレベル以上を保つ期間（図中期間 $t_1 \sim t_{d1}$ ）において、オン電圧を発生させる。つまり、この期間 $t_1 \sim t_{d1}$ が、MOS-FET Q_4 のオン期間 D_{ON2} となる。

そして、この期間 D_{ON2} が終了する時点 t_{d1} から時点 t_2 までは、MOS-FET Q_4 のデットタイムであり、このデットタイムである期間 $t_{d1} \sim t_2$ では Q_4 のボディダイオード DD_4 を介して整流電流が流れる。このことは、図示するゲート-ソース間電圧 V_{GS4} における期間 $t_{d1} \sim t_2$ の電位によっても示されている。

これによって、MOS-FET Q_4 を介して流される整流電流 I_4 としては、図示するように時点 $t_1 \sim t_2$ の期間にわたって流れるようになる。つまり、この整流電流 I_4 としては、これら時点 t_1 、 t_2 において、一次側直列共振電流 I_o と 0 レベルになるタイミングが重なるようにされ、これによって一次側直列共振電流と連続するものとなる。

また、同様に抵抗 R_{g1} から成る駆動回路では、上記電圧 V_2

と同等とされる巻線部 N 2 A1、N 2 B1 に生じる電圧を検出し、MOS-FET Q3 に対してオンレベルのゲート電圧を出力するようにされる。

つまり、この場合、MOS-FET Q3 のゲートソース間に生じるゲートソース間電圧 V_{GS3} は、巻線部 N 2 A1、N 2 B1 側に生じる電圧 V_2 がゲートソース間電位としての所定のレベルに対応したレベル以上を保つ期間（図中期間 $t_2 \sim t_{d2}$ ）において、オン電圧を発生させ、これによってこの期間 $t_2 \sim t_{d2}$ が MOS-FET Q3 のオン期間 D_{ON1} となる。

そして、同様にこの期間 D_{ON1} が終了する時点 t_{d2} から時点 t_3 までは、MOS-FET Q3 のデットタイムであり、この期間 $t_{d2} \sim t_3$ では Q3 のボディダイオード D_{D3} を介して整流電流が流れる。

これによって、MOS-FET Q3 を介して流れる整流電流 I_3 としても、図示するように一次側直列共振電流 I_o のゼロクロスタイミングである時点 t_2 と時点 t_3 との間にわたって流れるようになり、一次側直列共振電流 I_o と連続して流れるものとなる。

各平滑コンデンサ（平滑コンデンサ C_{o1} 、 C_{o2} ）への充電電流 I_c としては、これら整流電流 I_3 、 I_4 が合成された図のような波形により流れるものとなる。つまり、整流動作としては、二次巻線 N 2 A、N 2 B に生じる電圧が正／負となる各期間で平滑コンデンサ C_o に対して充電する、全波整流動作が得られていることがわかる。

そして、前述したように、この場合の二次巻線に生じる電圧 V_2 は、一次側直列共振電流 I_o が 0 レベルとなるのに応じ 0 レベ

ルとなるから、電圧 V_2 は一次側直列共振電流と連続するものとなる。さらに、このように電圧 V_2 が連続することによって、上記説明のようにして整流電流 I_3 、整流電流 I_4 も連続することになり、従って、平滑コンデンサ C_o に対する充電電流 I_c も連続して流れることになる。

つまり、第 12 図の回路では、重負荷とされてスイッチング周波数が低くなるようにして制御されているときにも、二次側整流電流としては連続モードが得られていることになる。なお、この場合、整流電流 I_3 、 I_4 としては 28 A_p となっており、例えば従来第 28 図に示した整流電流 I_1 、 I_2 よりも低減している。これは、例えば、同等のスイッチング周波数に対応する周期内において、整流電流の導通期間が従来よりも拡大したことに依るものである。

このようにして、重負荷の条件でも連続モードが得られているのは、これまでの説明から理解されるように、ギャップ長の設定により絶縁コンバータトランス PIT の結合係数を 0.8 程度までに低下させてより疎結合の状態とし、また、例えば二次巻線の 1 ターンあたりの誘起電圧レベルが 2 V/T 程度に低下するようにして一次巻線 N_1 と二次巻線 N_2A (巻線部 N_2A1 、 N_2A2)、二次巻線 N_2B (巻線部 N_2B1 、 N_2B2) の巻数 (ターン数) 設定を行い、これにより、絶縁コンバータトランス PIT のコアに生じる磁束密度を所要以下にまで低下させたことにより得られるものである。

また、この第 13 図において、この場合の整流電流 I_3 、 I_4 としては、第 28 図に示した従来第 28 図の整流電流 I_1 、 I_2 と比較してわかるように、逆方向電流が流されていないことがわかる。

つまり、従来において、整流電流 I_1 、 I_2 には $8 A_p$ による逆方向電流が流れ、これが電力損失を生じさせていたが、第 12 図の回路ではこのような整流電流に生じていた逆方向電流が発生しないものである。

- 5 この場合において、整流電流 I_3 、 I_4 にこのような逆方向電流が発生しないのは、第 12 図に示したようにして、各整流電流経路にインダクタ L_{d1} 、 L_{d2} を挿入するようにしたことによる。

このように各整流電流経路に対して各インダクタを挿入することによって、整流電流が流れた際に、このインダクタに逆起電力が発生するようになる。そして、このように逆起電力が発生
10 することに伴って、MOS-FET Q_3 、 Q_4 のターンオフ時に生じるとされていた逆方向電流が抑圧されるようになるものである。

先にも述べたように、第 12 図に示した回路の場合、これらインダクタ L_{d1} 、 L_{d2} として $0.6 \mu H$ 程度を設定し、これによっ
15 て整流電流 I_3 、 I_4 における逆方向電流の発生を防止することが可能とされる。

ここで、従来でも述べたように、同期整流回路は、低オン抵抗で低耐圧の MOS-FET を整流用素子として用いるために、整流用素子にダイオード素子を用いる場合よりも導通損を低減す
20 ることができる。

しかしながら、二次側整流電流が不連続モードで流れる場合において、同期整流回路として巻線電圧検出方式を採用する場合、平滑コンデンサ C_o への充電電流が 0 レベルとなっても逆方向電流
25 が流れ、これが無効電力を生じていた。

この無効電力を解消しようとするれば、整流電流検出方式の同期

整流回路を採用することになる。しかしながら、整流電流検出方式では、カレントトランス及びコンパレータを備える駆動回路系などが必要であり、回路構成が複雑で大規模化する。

これに対して第12図の回路では、重負荷時においても二次側
5 整流電流を連続モードとしていることで、電圧検出方式による同期整流回路であっても、上記のような電流不連続期間の無効電力を低減できる。さらに、この場合は、上述のように二次側の整流電流経路に対してインダクタ L_{d1} 、 L_{d2} をそれぞれ挿入することにより、整流電流に逆方向電流が発生しないようにして無効電力
10 のさらなる低減を図っている。

このことから第12図の基本構成としては、同期整流回路として電圧検出方式による構成を採ることで、簡単な回路構成として回路規模の拡大を抑制し、さらにコストアップを避けるようにしていながら、なおかつ、電流不連続期間の無効電力による電力変
15 換効率の低下の問題を解消していることになるものである。

また、第13図においては、二次側直流出力電圧 E_o に生じるリップル成分 ΔE_o が示されている。

この場合のリップル成分 ΔE_o としては、図示するように二次側直流出力電圧 E_o の出力レベルである5Vを中心として、0.
20 05Vの範囲で生じている。また、この図からもわかるように、この場合の二次側直流出力電圧 E_o としては、MOS-FET Q3、Q4のターンオフ時に対応した期間に生じるノイズ成分が、0.1V_pのレベルにより発生している。

ここで、この第13図では、平滑コンデンサ C_{o1} の両端電圧
25 E_1 のリップル成分 ΔE_1 の波形も示されているが、この ΔE_1 の波形からもわかるように、平滑コンデンサ C_{o1} の両端電圧 E_1

には、MOS-FET Q3、Q4 のターンオフ時に対応した期間に生じるノイズ成分が、 0.3 V_p のレベルにより生じている。つまりこれは、二次側直流出力電圧 E_o のラインに対して π 型フィルタの前段では（ π 型フィルタを設けないとした場合には）、二次側直流出力電圧に 0.3 V_p のレベルによるノイズが生じるということが示されているものである。

このようなことから、二次側直流出力電圧 E_o のラインに対して π 型フィルタを設けた第 12 図の回路では、二次側直流出力電圧 E_o に生じるとされていた、上記のような 0.3 V_p のレベルによるノイズ成分を、 0.1 V_p (100 mV_p) にまで低減できることが理解できる。

なお、この第 13 図において、ゲートソース間電圧 V_{GS3} 、 V_{GS4} としては、それぞれ MOS-FET Q3、Q4 をターンオフとするタイミングで、この場合は -9 V による負の電位が生じているが、これは、先に説明したようにして MOS-FET Q3、Q4 の各ゲートと二次巻線との間に、それぞれ抵抗 R_{g1} 、 R_{g2} と並列にショットキーダイオード D_{g1} 、 D_{g2} を挿入していることによる。

このようにショットキーダイオード D_{g1} 、 D_{g2} を挿入することによつては、MOS-FET Q3、Q4 のターンオフ時に、これら MOS-FET Q3、Q4 のゲート入力容量 (C_{iss}) の蓄積電荷を、これらショットキーダイオード D_{g1} 、 D_{g2} を介して引き抜くようにして流すことができる。

つまりこの場合、ゲート入力容量の電荷は、それぞれショットキーダイオード D_g (D_{g1} 、 D_{g2}) \rightarrow 二次巻線 $N_2 \rightarrow$ 平滑コンデンサ C_o の経路により放電されることになる。そして、このよう

に入力容量の電荷が放電されることにより、MOS-FET Q3、Q4におけるターンオフ時の電圧降下時間を減少させることができる。

このようにして、MOS-FETのターンオフ時の電圧降下時間を減少させることができれば、これらMOS-FET Q3、Q4を確実にオフとさせて良好なスイッチング特性を得ることができる。

また、第14図には、第12図に示す回路における軽負荷時($P_o = 2.5\text{ W}$ 時)の動作が示されている。

第12図に示す電源回路では、これまでの説明から理解されるように、二次側直流出力電圧 E_o の安定化のために、スイッチング周波数制御による定電圧制御を行う。この定電圧制御は、軽負荷の条件となって二次側直流出力電圧が上昇すると、スイッチング周波数を高くするようにして二次側直流出力電圧を低下させ、これにより安定化を図るように動作する。

このような軽負荷の状態では、図示するスイッチング素子Q2の両端電圧 V_1 に対して、二次側巻線電圧 V_2 はほぼ同じタイミングで得られるようになり、これに応じて、二次側の充電電流 I_c (整流電流 I_3 、 I_4)としても、図のように休止期間が無く平滑コンデンサ C_o に連続して充電されるようにして流れる。

このことから、第12図に示した電源回路では、軽負荷時においても連続モードとなることが理解できる。

そこで、このようなことを考慮して、本発明の第5の実施の形態としては、スイッチング電源回路を、次の第15図に示すようにして構成することとしている。

なお、この図では、既に第12図において説明した部分につい

ては同一の符号を付して説明を省略する。

この第 1 5 図に示されるようにして、第 5 の実施の形態では、
第 1 2 図の回路において各整流電流経路に対して挿入するよう
にして設けられていた、ビーズコアによるインダクタ L_{d1} 、イン
5 ダクタ L_{d2} は削除するものとしている。

また、先にも述べたように π 型フィルタを設ける要因とされて
いたショットキーダイオード D_{g1} 、ショットキーダイオード D_{g2}
も削除するものとしている。

その上で、このような π 型フィルタを削除した構成を採る。

10 そしてこの場合、上記インダクタ L_{d1} 、 L_{d2} に代えては、図示
するように二次巻線 N_{2A} 、二次巻線 N_{2B} の各センタータップと、
平滑コンデンサ C_o の正極端子との間に、チョークコイル L_o を
直列に挿入するものとしている。

つまり第 5 の実施の形態のスイッチング電源回路においては、
15 このようなチョークコイル L_o に生じる逆起電力によって、整流
電流の逆方向電流を防止する構成とするものである。

但しこの場合、上記のようなチョークコイル L_o として、負荷
電流レベルの変動に対するインダクタンス値の変化特性につい
て考慮されなければ、先の第 1 2 図の回路の場合のインダクタ L_{d1}
20 と同様に、軽負荷時に急激にインダクタンス値が上昇して異常
発振動作となってしまう可能性がある。

これを防止するため、第 5 の実施の形態としては、上記チョー
クコイル L_o として次の第 1 6 図に示すように構成するものとし
ている。

25 第 1 6 図は、第 5 の実施の形態の電源回路で用いる、チョーク
コイル L_o の構造を示す分解斜視図である。

先ず、本実施の形態の場合のチョークコイル L_0 としては、図示するように平角線 5 a を所定ターン数巻回した、平角線コイル 5 を用いるものとしている。この平角線コイル 5 としては、断面形状が方形とされた上記平角線 5 a をその幅方向に巻回した、所謂エッジワイズ巻き（縦巻き）のものが採用される。

そして、このような平角線コイル 5 の両端部は、図示するようにこの平角線 5 を載置する側のプレート型コア C R 6 に設けられた、外部端子 6 に対してそれぞれ半田付け等により接続される。

さらに、このように平角線コイル 5 が載置されたプレート型コア C R 6 に対して、図示する形状によるポット型コア C R 5 が嵌合されることによって、チョークコイル L_0 が形成される。つまり、図示するように上記ポット型コア C R 5 側に形成された、図のような円形磁脚 7 を、上記平角線コイル 5 の内側に形成される円形の空洞領域に挿通させるようにして、プレート型コア C R 6 に対してポット型コア C R 5 を嵌合するものである。

この第 16 図に示すチョークコイル L_0 において、上記ポット型コア C R 5 の材質としては、金属系ダストを採用している。また、上記プレート型コア C R 6 としては、Ni-Zn 系のフェライト材を採用するものとしている。

本実施の形態において、このようにチョークコイル L_0 のコア材として、金属系ダスト、及び／又は Ni-Zn 系のフェライトを選定することによつては、例えば一般的なマンガン系のフェライトを使用する場合よりも飽和磁束密度が向上するものとなり、その分チョークコイル L_0 として、電流レベルの変動に対するインダクタンス変化特性を向上することができる。

実験によれば、このような構成による本例のチョークコイル L_0

oでは、第15図の回路における負荷電流（電流 I_c ）の20A～0Aの変動に対し、インダクタンス値を0.7 μ Hでほぼ一定とすることができた。

さらに、第16図のチョークコイル L_o においては、上記のよう
5 うに巻線として平角線5aを用いることで、例えば断面が円形とされる一般的な銅線を使用する場合と比べて、巻線の断面積が増加してDCR（直流抵抗値）を低減させることができる。また、上述のようにNi-Zn系のフェライトを使用することによって、コアの鉄損の低減も図られている。

10 これらのことより、この場合のチョークコイル L_o としては、その直流抵抗値が1.1m Ω 程度とされる。

ところで、このような構成によるチョークコイル L_o を、先の第15図に示したようにして絶縁コンバータトランスPITの二次巻線の各センタータップに接続されるようにして挿入することによつては、このチョークコイル L_o による漏洩インダク
15 タンスによって、絶縁コンバータトランスPITにおける漏洩インダクタンスも増加するものとなる。つまり、このようにチョークコイル L_o を挿入することによつては、絶縁コンバータトランスPITにおける磁束密度が変化するようになるものである。

20 ここで、先にも説明したように第12図の回路では、絶縁コンバータトランスPITにおけるギャップ長（漏洩インダクタンス）と、二次巻線の巻数の設定（1Tあたりの誘起電圧の設定）とによって、その磁束密度を所定以下とし、負荷変動に関わらず連続モードとしていたものである。

25 つまり、このことを踏まえると、第15図の回路の絶縁コンバータトランスPITでは、上記チョークコイル L_o の挿入により

漏洩インダクタンスが増加する分、ギャップ長を縮めるか、或いは二次巻線の巻数を減少させても、連続モードとするための所定以下の磁束密度を得ることが可能となるものである。

このことから、第5の実施の形態の電源回路においては、絶縁
5 コンバータトランスPITの二次巻線N2A、二次巻線N2Bとして、第12図の回路の場合よりも巻数を少なく選定するものとしている。例えばこの場合は、上述のようにしてチョークコイルL₀のインダクタンス値を0.7μH程度に設定することで、二次巻線N2A=二次巻線N2B=4T(N2A1=N2A2=N2B1=N
10 2B2=2T)に設定するものとしている。

このようにして二次巻線の巻数を少なくすることができるとで、二次巻線における直流抵抗成分を低減することが可能となる。

第17図は、このような第5の実施の形態としての第15図の
15 回路の各部の動作波形を示した波形図である。

なお、この第17図では、交流入力電圧V_{AC}=100V、負荷電力P_o=100Wの条件下での測定結果を示している。

また、この図に示す実験結果を得るにあたっては、各部を以下のように選定するものとした。

20 ・絶縁コンバータトランスPIT

一次巻線N1=80T、二次巻線N2A=N2B=4T(N2A1=N2A2=N2B1=N2B2=2T)

・チョークコイルL₀=0.7μH

・平滑コンデンサC_o

25 キャパシタンスC=6800μF、耐圧6.3V、ESR=16mΩ

・ MOS-FET Q3、Q4

耐圧 30 A / 20 V、オン抵抗 $R_{ON} = 2.5 \text{ m}\Omega$

先ず、この第 17 図においても、スイッチング素子 Q2 の両端
電圧 V_1 、及びスイッチング素子 Q2//ダンパダイオード DD2

5 に流れるスイッチング電流 I_{DS2} が示されている。

これら電圧 V_1 、スイッチング電流 I_{DS2} としては、先の第 1
3 図の場合と比較してわかるように、第 12 図の回路の場合と同等
の波形が得られている。

また、この第 17 図においては、一次側直列共振電流 I_o の波
10 形も示されている。この場合の一次側直列共振電流 I_o としても、
図のように略正弦波状の波形とされた上で、時点 t_1 、 t_2 、 t_3
においてゼロクロスする波形が得られる。つまり、このような
一次側直列共振電流 I_o としても、先の第 13 図の場合と同等の
波形が得られているものである。

15 これらのことから、第 15 図の回路の一次側においては、先の
第 12 図の回路の場合と同等の動作が得られていることがわか
る。

そして、この場合における、MOS-FET Q3、Q4 のゲート
-ソース間に生じるゲート-ソース間電圧 V_{GS3} 、 V_{GS4} としては、
20 先の第 13 図の場合と比較して、この場合は略正弦波状の波形に
より得られるものとなる。またこの場合、第 13 図の場合では M
OS-FET Q3、Q4 がターンオフするタイミングで生じていた
負の電位は生じないものとなっている。

これは、先の第 15 図にて説明したように、本例ではショット
25 キーダイオード D_{g1} 、 D_{g2} が省略されたことにより、各 MOS
-FET のゲート入力容量の蓄積電荷を放電する経路を形成し

ないようにしたことによるものである。

また、この場合における、二次巻線 $N2B$ の巻線部 $N2B2$ に生じる電圧 $V2$ としては、上記のようにゲートソース間電圧 V_{GS3} 、 V_{GS4} として異なる波形が得られることからわかるように、

5 第13図の場合とは異なる波形が得られる。

つまり、第13図の場合の電圧 $V2$ としては、ゲートソース間電圧 V_{GS3} 、 V_{GS4} の負の電位が生じることによって、MOSFETのデットタイムの終了時点（時点 $t2$ ）にて、急峻に0レベルに落ち込む波形とされていたが、ここでは、図示するように
10 ゲートソース間電圧 V_{GS3} 、 V_{GS4} のレベル低下に応じて徐々に0レベルに低下していく波形が得られるものである。

そして、このような電圧 $V2$ としては、この場合もそのゼロクロスタイミングが、一次側直列共振電流 I_o のゼロクロスタイミングと重なるものとなっている（時点 $t1$ 、 $t2$ 、 $t3$ 参照）。

15 また、この場合の整流電流 $I3$ 、 $I4$ としても、上記のように電圧 $V2$ が一次側直列共振電流 I_o と連続することによって、そのゼロクロスタイミングが、一次側直列共振電流 I_o のゼロクロスタイミングと重なる波形として得られる。そして、このように整流電流 $I3$ 、 $I4$ が、一次側直列共振電流 I_o と連続して流れるよ
20 うになることにより、平滑コンデンサ C_o への充電電流 I_c としても、同様に一次側直列共振電流 I_o と連続して流れることになる。

このようなことから、第15図に示した本例の回路においても、重負荷とされてスイッチング周波数が低くなるようにして制御
25 されているときに、二次側整流電流として連続モードが得られていることがわかる。

なお、この場合も、上記整流電流 I_3 、 I_4 としては、図示するようにそのピークレベルが $2.8 A_p$ となり、第 12 図の場合と同様に従来の第 28 図に示した整流電流 I_1 、 I_2 よりも低減する結果が得られている。

- 5 また、第 17 図において、この場合も、上記整流電流 I_3 、 I_4 には逆方向電流が流されていないことがわかる。この場合において、整流電流 I_3 、 I_4 に逆方向電流が発生しないのは、先にも説明したように、二次巻線 N_{2A} 、 N_{2B} の各センタータップと平滑コンデンサ C_o の正極端子との間にチョークコイル L_o を挿入する
10 ようにしたことによるものである。

なお、本例の場合、このようなチョークコイル L_o のインダクタンスとしては、上述もしたように $0.7 \mu H$ 程度を設定することで、整流電流 I_3 、 I_4 における逆方向電流の発生を防止することが可能とされている。

- 15 また、第 17 図においては、二次側直流出力電圧 E_o に生じるリップル成分 ΔE_o が示されている。

この第 17 図に示されるリップル成分 ΔE_o と、先の第 13 図に示したリップル成分 ΔE_o を比較してわかるように、第 15 図の回路のリップル成分 ΔE_o としては、 $\Delta E_o = 0.05 V_p$ (5
20 $0 mV_p$) と、二次側直流出力電圧 E_o のラインに π 型フィルタを設けた第 12 図の回路の場合と同程度に抑制されるものとなる。これは、第 15 図に示したようにして、本例では、チョークコイル L_o を平滑コンデンサ C_o の正極端子と接続されるようにして挿入していることによる。

- 25 つまり、このようにチョークコイル L_o を平滑コンデンサ C_o の正極端子と接続されるようにして挿入したことにより、このチ

ョークコイル L_o によるインダクタンスと平滑コンデンサ C_o のキャパシタンスによるフィルタ回路が形成され、これによって二次側直流出力電圧 E_o に生じるリップル成分が抑制されるものである。

5 また、このリップル成分 ΔE_o の波形により示されるように、この場合の二次側直流出力電圧 E_o における、MOS-FET Q_3 、 Q_4 のターンオフ時に対応した期間に生じるノイズ成分のレベルとしても、第12図の回路の場合と同様に0.1V_p程度に抑制されている。

10 このように二次側直流出力電圧 E_o に生じるノイズ成分が低減されているのは、先にも説明したようにショットキーダイオード D_{g1} 、 D_{g2} を省略するようにしたからである。

15 また、このような二次側直流出力電圧 E_o に生じるノイズ成分は、チョークコイル L_o のインピーダンス成分によっても抑制されるものと考えられる。

 なお、確認のために述べておくと、この場合としても、軽負荷時($P_o = 25\text{W}$ 時)の動作としては、先の第13図の場合と同様にスイッチング素子 Q_2 の両端電圧 V_1 に対して二次側巻線電圧 V_2 はほぼ同じタイミングで得られ、連続モードとなる。

20 第18図には、第15図に示した本例の電源回路と、先の第12図に示した基本構成との比較として、負荷電力変動に対するAC→DC電力変換効率($\eta_{AC \rightarrow DC}$)の特性を示す。ここでは、本例の電源回路の特性を実線で示し、第12図の回路の特性を破線で示す。

25 この第18図によると、AC→DC電力変換効率($\eta_{AC \rightarrow DC}$)は、本例の回路の方が第12図に示した回路に対して、負荷電力 P_o

= 25 W ~ 100 W の範囲にわたって高くなっていることが分かる。

先にも説明したように、第 12 図に示した基本構成では、負荷電力 $P_o = 100\text{ W}$ 時には $\eta_{AC \rightarrow DC} = 86.5\%$ 程度であったの
5 に対して、第 15 図の本例の電源回路では、負荷電力 $P_o = 100\text{ W}$ 時に $\eta_{AC \rightarrow DC} = 88.5\%$ と、約 2.0% 向上する結果が得られている。

また、負荷電力 $P_o = 25\text{ W}$ 時には、第 12 図の回路では $\eta_{AC \rightarrow DC} = 87\%$ 程度であったが、本例では $\eta_{AC \rightarrow DC} = 88\%$ 程度と、
10 約 1.0% 向上する結果が得られた。

このような電力変換効率の向上は、これまでの説明からも理解されるように、第 12 図の回路に備えられていた二次側の π 型フィルタを削除するようにしたことによる。つまりこの場合は、先の第 12 図の構成から少なくとも平滑コンデンサ C_{o2} が削除されたものとなるから、このような平滑コンデンサ C_{o2} の ESR
15 (例えば第 12 図の場合では $15\text{ m}\Omega$) 分の損失を低減することができるものである。

また、さらにこのような電力変換効率の向上は、チョークコイル L_o を設けたことで、絶縁コンバータトランス P I T の二次巻線 (N2A、N2B) の巻数を、第 12 図の場合よりも少なくすることができたことによるものでもある。

すなわち、先にも述べたように、この場合は二次巻線の巻数として、第 12 図の場合の 6 T から 4 T に減らすことができたことで、その分二次巻線の線材の要する長さを短くして DCR を低減
25 することができる。そして、これによって、二次巻線において生じる電力損失を低減することが可能となり、この結果として電力

変換効率の向上が図られているものである。

以上のようにして、第5の実施の形態のスイッチング電源回路では、第12図の回路では各整流電流経路に対して挿入されていた、ビーズコアによるインダクタ L_{d1} 、 L_{d2} を削除し、これに代
5 えて二次巻線 N_{2A} 、 N_{2B} の各センタータップと平滑コンデンサ C_o の正極端子との間に、チョークコイル L_o を挿入するようにしている。

そして、これと共に、ゲート抵抗 R_{g1} 、 R_{g2} にそれぞれ並列に接続されていたショットキーダイオード D_{g1} 、 D_{g2} を削除し、
10 さらに、二次側直流出力電圧 E_o のラインに設けられていた π 型フィルタを削除するようにもしている。

このような第5の実施の形態のスイッチング電源回路によれば、上記のようにして二次巻線の各センタータップと平滑コンデンサ C_o との間に挿入されたチョークコイル L_o によって、整流
15 電流に逆方向電流が発生することを防止することが可能となる。

そして、上記のようにしてショットキーダイオード D_{g1} 、 D_{g2} を削除したことによって、二次側直流出力電圧 E_o に重畳するとされる高周波のスイッチングノイズを抑制することができる。

20 また、上記のように第5の実施の形態では、二次側の π 型フィルタ（平滑コンデンサ C_{o2} ）が削除されることにより、この π 型フィルタによって生じていた分の電力損失（平滑コンデンサ C_{o2} のESRによる損失）をなくすることができる。

さらに、第5の実施の形態では、上記もしたようにチョークコイル L_o を二次巻線の各センタータップに接続されるようにして挿入していることから、絶縁コンバータトランスPITにおい
25

て、重負荷時にも連続モードとするために所定以下の磁束密度を設定するにあたっての、二次巻線の巻数を少なくすることができる。そして、これによって、先にも説明したように二次巻線のDCRを低減することができ、その分、二次巻線における無効電力

5 も低減できる。

このようにして無効電力が低減されることによって、電力変換効率の向上が図られる。

またこの際、上記のように二次巻線のDCRが低減されることで、二次巻線の発熱も低減することができる。

10 また、第5の実施の形態では、上記チョークコイル L_o のコア材として、磁束密度の比較的高い金属系ダスト、Ni-Zn系フェライトを選定したことにより、チョークコイル L_o のインダクタンス値を電流レベルの変動に対して安定化することができる。

そして、これによって、例えば軽負荷の条件となる等して、急
15 激にそのインダクタンス値が変化して異常発振動作が生じるような事態を防止することができ、先の第12図の回路の場合のように、軽負荷時における二次側直流出力電圧 E_o にリップルが生じることがなくなる。

また、さらにこの場合は、上記もしたようにビーズコアによる
20 インダクタ L_{d1} 、 L_{d2} 、及びショットキーダイオード D_{g1} 、 D_{g2} 、及び π 型フィルタを省略することができることから、その分第12図の回路の場合よりも回路構成を簡略化できるというメリットもある。

続いては、次の第19図～第22図を参照して、本発明の第6
25 の実施の形態としてのスイッチング電源回路の構成例について説明する。

第 6 の実施の形態のスイッチング電源回路としては、上記した第 15 図の回路の接続形態の下で、チョークコイル L₀ の構成のみを変更するようにしたものである。

5 従って、以下では、このような第 6 の実施の形態のスイッチング電源回路において用いる、主にチョークコイル L₀ の構成のみについて説明し、スイッチング電源回路の全体の構成としては先の第 15 図と同等となることからここでの説明は省略する。

10 先ず、この場合のチョークコイル L₀ としては、その巻線 N₀ として、例えば次の第 19 図、或いは第 20 図に示すように構成するものとしている。

第 6 の実施の形態において、このようなチョークコイル L₀ の巻線 N₀ の線材には、例えばポリウレタン被膜等の絶縁被覆処理の施された銅線等による素線が、複数本撚り合わされて成る、リツツ線 10 を用いる。

15 そして、先ず第 19 図の場合は、このようなリツツ線 10 の複数を、図示するようにして平行に整列させたリツツ線帯 11 を形成するものとしている。そして、このリツツ線帯 11 の両端部に対して、図示するようにリード線 14、14 を半田付けすることによって、巻線 N₀ を形成する。

20 なお、この場合のリツツ線帯 11 としては、図示するように 4 本のリツツ線 10 を整列させるものとしている。そして、このようなリツツ線 10 として、この場合は線径 0.1 mm φ の素線を 200 束撚り合わせたものを用い、さらにその長さ Y₁ としては、この場合のポピンサイズに対応させた例えば 12 mm に設定する。

25 また、この場合のリード線 14 としては、図示するように平角線を使用するものとしている。さらに、リツツ線帯 11 に対する、

このような平角線によるリード線 1 4 の半田付けとしては、例えばリッツ線 1 0 内の各素線の銅線部分を表出させた上で、この銅線部分をリード線 1 4 に巻き付けた上で施すようにされればよい。或いは、リッツ線帯 1 1 の両端部に予備半田を行うようにしておけば、各素線から銅線部分を表出させる手間が省けると共に、
5 これらをリード線 1 4 に巻き付けるといった手間も省略できる。

また、第 2 0 図の例では、複数のリッツ線 1 0 を交互に編み込んだ平編線 1 2 を形成するものとしている。この場合としても、平編線 1 2 の両端部に対しては、図のようにそれぞれリード線 1
10 4、1 4 を半田付けするようにされる。

このような平編線 1 2 として、ここでは 3 本のリッツ線 1 0 を平編みすると共に、図示する平編線 1 2 の長さ Y 2 としては 1 4 mm を設定する。

なお、この場合のリッツ線 1 0 としても、素線径 = 0. 1 ϕ ×
15 2 0 0 束の仕様のものを用いる。また、この場合もリード線 1 4 としては、平角線を使用する。

そして、第 6 の実施の形態では、チョークコイル L o のコアとして、次の第 2 1 図に示すような E E 形コアを用いるようにしている。

20 この第 2 1 図の断面図に示すようにして、この場合のチョークコイル L o のコアとしては、断面形状がそれぞれ E 字形とされたフェライト材の各々の磁脚を対向させた、図のような E E 形コア C R 1 1 を用いるようにされる。

そして、このような E E 形コア C R 1 1 の中央磁脚に対しては、
25 図示するようにギャップ G を形成するものとしている。

また、この場合の E E 形コア C R 1 1 の材質としては、M n -

Zn系フェライト材を選定している。

そして、この場合のEE形コアCR11のサイズとしては、例えばEE-25を選定している。

5 このようなEE形コアCR11に対しては、中央磁脚を覆うようにして樹脂等によるボビンBが備えられる。また、このようなEE形コアCR11の外面の両端には、基板実装面方向に突出した複数のピン端子15を支持するピン端子支持支部16、16が備えられている。

10 そして、上記のようにEE形コアCR11の中央磁脚を覆うボビンBに対しては、先の第19図に示したリッツ線帯11による巻線No、又は第20図に示した平編線12による巻線Noを所定のターン数で巻回する。

15 そして、図示はしていないが、このようにボビンBに巻装されるリッツ線帯11、或いは平編線12の両端に半田付けされたリード線14、14を、それぞれ対応するピン端子15に対して半田付けする。

これによって第6の実施の形態としてのチョークコイルLoが形成される。

20 なお、この場合の巻線Noの巻数としては、リッツ線帯11、平編線12とされた場合も共に2Tを巻回するものとしている。また、上記したギャップGとしては、 $G = 1.4 \text{ mm}$ を形成する。これによって第6の実施の形態の場合としても、チョークコイルLoのインダクタンスを $0.7 \mu\text{H}$ 程度に設定している。

25 このような構成とされる、第6の実施の形態としてのチョークコイルLoによれば、上記のように巻線Noとして複数のリッツ線10を整列又は平編みした状態で巻装することによって、この

チョークコイル L_o における無効電力を低減することができる。

つまり、第 19 図に示した、複数のリッツ線 10 を整列させたリッツ線帯 11 とした場合は、例えば先の第 5 の実施の形態の場合のチョークコイル L_o (第 16 図参照) のように、1 本の平角線 5a により巻線を巻装する場合よりも、そのターン数は少なく
5 て済む。実際には、第 16 図の場合のチョークコイル L_o では 4 T を巻装していたものを、上記もしたようにこの場合は 2 T で済むものとなって、その分巻線 No の線材 (リッツ線 10) の長さを短くすることができる。そして、このように各リッツ線 10 の
10 長さを短くすることができることで、巻線 No の DCR を低減してチョークコイル L_o の無効電力を低減することができるものである。

また、巻線 No を平編線 12 とする場合も、同様に 1 本の線材により巻装する場合よりもその長さを短くでき、これによって
15 ヨークコイル L_o の無効電力を低減できる。また、この場合は、リッツ線 10 が交互に編み込まれることにより、高周波の整流電流が流れることによって巻線 No に生じる渦電流損が低減され、これによってもチョークコイル L_o の無効電力の低減が図られるものとなる。

20 さらにこの場合は、チョークコイル L_o のコアとして、比較的
低損失とされる Mn-Zn 系フェライト材を使用するものとしたことから、チョークコイル L_o におけるコアの鉄損が低減され、これによっても無効電力の低減が図られている。

また、先に説明したようにして、上記したリッツ線帯 11、平
25 編線 12 の端部のピン端子 15 への取り付けに、平角線によるリード線 14 を用いることによっても、線材の断面積が増加する分、

例えば通常の円形断面を有するリード線を使用する場合よりも損失を低減できる。

第22図は、第6の実施の形態のスイッチング電源回路における、負荷電力変動に対するAC→DC電力変換効率($\eta_{AC \rightarrow DC}$)の特性を示す。この図においても、第6の実施の形態としての電源回路の特性を実線で示し、第12図の回路の特性を破線により示す。

この図に示されるように、第6の実施の形態のスイッチング電源回路としても、負荷電力 $P_o = 25\text{ W} \sim P_o = 100$ の範囲にわたって、先の第12図に示した実施の形態の基本構成の回路よりも高い電力変換効率を得られていることがわかる。

そして、実験によれば、交流入力電圧 $V_{AC} = 100\text{ V}$ 、負荷電力 $P_o = 100\text{ W}$ 時における電力変換効率としては、 $\eta_{AC \rightarrow DC} = 91.5\%$ となる結果が得られた。これは、第12図に示した実施の形態の基本構成の回路よりも5.0%向上するものである。

また、この結果は、先の第15図に示した第5の実施の形態の回路の電力変換効率($\eta_{AC \rightarrow DC} = 88.5\%$)と比較しても、3.0%向上しているものである。

このように第6の実施の形態の回路において、第5の実施の形態の回路よりも電力変換効率が向上しているのは、上記もしたようにチョークコイル L_o の巻線 N_o として、複数のリッツ線10によるリッツ線帯11、又は平編線12を用いたことにより、第15図の回路の場合よりもチョークコイル L_o のDCRが低減されたことによるものである。

実験によれば、第6の実施の形態のチョークコイル L_o におけるDCRは、 $0.5\text{ m}\Omega$ 以下となり、第5の実施の形態の場合の

チョークコイル L_o の $DCR = 1.1\text{ m}\Omega$ よりも大幅に低減される結果が得られている。

なお、確認のために述べておくと、このような第6の実施の形態の電源回路としても、その回路構成は第15図の回路と同等のものとしてされていることから、第5の実施の形態の場合と同等の効果を得ることができる。

例えば、この場合としても、チョークコイル L_o の逆起電力によって整流電流の逆方向電流を抑制することができる。また、この場合も、MOS-FET Q_3 、 Q_4 に接続されていたショットキーダイオード D_{g1} 、 D_{g2} は削除されるので、二次側直流出力電圧 E_o に重畳するとされる高周波のスイッチングノイズを抑制することができる。

さらに、この場合としても、チョークコイル L_o は二次巻線の各センタータップに接続されるようにして挿入されるから、連続モードとするにあたっての二次巻線の巻数を少なくすることができ、これによる無効電力の低減が図られる。

また、第6の実施の形態では、上記チョークコイル L_o のコア材として、 $Mn-Zn$ 系フェライト材によるEE形コアCR11を選定しているが、このような $Mn-Zn$ 系フェライト材としても、比較的高い飽和磁束密度を得ることができるものである。このことから、第6の実施の形態としても、チョークコイル L_o のインダクタンス値を電流レベルの変動に対して安定化することができる。

つまりこれによって、この場合も所要以下の軽負荷の条件（例えば負荷電力 $P_o = 12.5\text{ W}$ 以下）となった際に、二次側直流出力電圧 E_o に生じるとされていたリップルの発生を防止する

ことができる。

また、さらに第6の実施の形態では、チョークコイルL₀のコアとして、E字形コアとしての2つEE形コアCR11を組み合わせさせたコアとしたことから、そのインダクタンスの設定は、これらEE形コアCR11の中央磁脚に対して形成されるギャップ長の設定により可能となる。

つまりこの場合、チョークコイルL₀のインダクタンス値は、このようなギャップ長の管理という比較的簡易な調整によって、そのバラつきを抑えることができるものである。

なお、このようなEE形コアCR11を用いるようにした本例のチョークコイルL₀の、量産時におけるインダクタンス値のバラつきは、先に例示したギャップG=1.4mmを管理することによって例えば±5%以内に抑えることができる。

続いて、以下の第23図～第26図には、第6の実施の形態のチョークコイルL₀の変形例について示す。

第6の実施の形態の変形例としても、チョークコイルL₀の巻線N₀には、先の第19図に示したようなリッツ線帯11、又は第20図に示した平編線12を用いるものとしている。

そして、この場合は、第23図に示すようにして、上記リッツ線帯11の両端には、それぞれL字型に折り曲げたリード線14（平角線）を半田付けするものとしている。

同様に、平編線12を用いる場合としても、第24図に示すようにしてその両端には、L字型に折り曲げた平角線によるリード線14を半田付けするものとしている。

そして、このようなリード線14の先端には、図示するように予備半田を行うものとしている。

なお、この場合のリッツ線 10 の線径／束数、本数、及び長さは、それぞれ先の第 19 図、第 20 図の場合と同等とされればよい。

そして、この場合のチョークコイル L0 のコアとしても、第 25 図の断面図に示すように、その断面形状が E E 字形とされたコアを用いるようにしている。

ここでのチョークコイル L0 のコアとしては、断面形状は E E 字形とされるが、その中央磁脚が円筒形状とされた、E R 形コア C R 1 2 を用いる。

そして、このような E R 形コア C R 1 2 の中央磁脚に対しては、この場合もギャップ G を形成する。さらに、この場合の E R 形コア C R 1 2 の材質としても、先の第 21 図の E E 形コア C R 1 1 と同様に、M n - Z n 系フェライト材を選定している。

その上で、第 6 の実施の形態の変形例においては、このような E R 形コア C R 1 2 の外面両端に備えられるピン端子支持部 16、16 に対し、それぞれ所定位置に溝部 16 a を形成しておくようにする。

そして、先ずは一方のピン端子支持部 16 にて形成される溝部 16 a に対して、先の第 25 図又は第 24 図に示した巻線 N0 の巻き始め側端部に取り付けられたリード線 14 の先端部分を挿通させた上で、図示するボビン B に対して巻線 N0 を巻回する。

さらに、このように巻回した巻線 N0 の、巻き終わり側となる端部に取り付けられたリード線 14 の先端部分を、他方のピン端子支持部 16 に形成した溝部 16 a に挿通させて、チョークコイル L0 を形成するものである。

このような変形例としてのチョークコイル L0 によっても、巻

線 N o として、複数のリッツ線 1 0 によるリッツ線帯 1 1 又は平編線 1 2 が巻装されるので、第 1 6 図に示した 1 本の平角線 5 a とされる場合よりも線材の長さを短くでき、これによってチョークコイル L o における無効電力を低減することができる。

- 5 つまり、この変形例の構成によっても、第 6 の実施の形態と同様の効果が得られるものである。

さらに、この場合は、上記のようにリッツ線帯 1 1、平編線 1 2 の両端に取り付けたリード線 1 4、1 4 の先端部を予備半田した上で、これらを溝部 1 6 a に挿通するようにしたことにより、
10 この予備半田した端部を直接基板に対して取り付けることが可能となって、リード線 1 4 をチョークコイル L o のピン端子 1 5 に対して半田付けする必要がなくなるというメリットもある。

また、さらに第 2 6 図の断面図には、第 6 の実施の形態のチョークコイル L o として、他の変形例の構成を示す。

- 15 第 6 の実施の形態の他の変形例では、第 2 6 図に示すようにして、絶縁コンバータトランス P I T における、二次側に位置するようにされたコアに対して、チョークコイル L o のコアを隣接させるようにして設けたものである。

すなわち、絶縁コンバータトランス P I T の二次側に位置する
20 ようにされた E 型コア C R 2 の外面に対して、その磁脚を対向させるようにしてチョークコイル L o の E R 形コア C R 1 2 を設ける。そしてこの場合は、このような E 型コア C R 2 の外面と、E R 形コア C R 1 2 の中央磁脚との間に対してギャップ G が形成されるようにしたものである。

- 25 なお、E R 形コア C R 1 1 としては、この場合の絶縁コンバータトランス P I T の E 型コア C R 1、C R 2 と同サイズとなる、

例えばER-40型を選定すればよい。

このような第6の実施の形態の他の変形例によっては、ER形コアの中央磁脚に対して設けられたボビンBに対して、リッツ線帯11、又は平編線12による巻線Noを1Tのターン数により
5 巻装し、且つ上述したように形成されるギャップGとして $G = 1\text{ mm}$ を設定した場合に、第6の実施の形態の回路と同等の効果を得ることができる。

なお、本発明としては、これまでに説明した電源回路の構成に限定されるものではない。

10 例えば、本発明に基づいた巻線電圧検出方式の同期整流回路の細部の構成については適宜変更されてよい。また、例えば一次側スイッチングコンバータのスイッチング素子としては、IGBT (Insulated Gate Bipolar Transistor)など、他励式に使用可能な素子であれば、MOS-FET以外の素子が採用されて構わな
15 い。また、先に説明した各部品素子の定数なども、実際の条件等に応じて変更されて構わない。

また、本発明としては、自励式による電流共振形コンバータを備えて構成することも可能とされる。この場合には、スイッチング素子として例えばバイポーラトランジスタを選定することが
20 できる。さらには、4石のスイッチング素子をフルブリッジ結合した電流共振形コンバータにも適用できる。

また、商用交流電源を入力して直流入力電圧を得る整流回路としても、例えば倍電圧整流回路以外の構成とすることが考えられる。

請求の範囲

1. 複数のスイッチング素子を備えて形成され、入力された直流入力電圧を断続するようにしてスイッチングを行うスイッチング部と、

上記複数のスイッチング素子が交互にオンオフするようスイッチング駆動する一次側駆動部と、

上記スイッチング部からのスイッチング出力を一次側から二次側に伝送するものであり、一次巻線とセンタータップしたタップ出力を有する二次巻線が巻装される絶縁コンバータトランスであって、ギャップ長を所定以上とすることで、上記一次巻線と上記二次巻線の結合係数を所定以下に設定される絶縁コンバータトランスと、

少なくとも、上記絶縁コンバータトランスの一次巻線の漏洩インダクタンス成分と、自己のキャパシタンスとによって上記スイッチング部の動作を共振形とするための一次側共振回路を形成する一次側共振コンデンサと、

上記二次巻線のタップ出力に接続される二次側平滑コンデンサを有し、上記絶縁コンバータトランスの二次巻線に誘起される交番電圧を全波整流して上記二次側平滑コンデンサに整流電流を充電することで、上記二次側平滑コンデンサの両端電圧として二次側直流出力電圧を得るようにされた同期整流回路と、

を備えるものとされ、

上記一次巻線と二次巻線のターン数は、上記二次側直流出力電圧に接続される負荷条件の変動にかかわらず、上記全波整流動作により同期整流回路に流れる二次側整流電流が連続モードとな

るように設定されると共に、

上記同期整流回路は、

上記二次巻線のタップ出力により分けられた一方の端部と二次側基準電位との間に直列接続される第1の電界効果トランジ

5 スタと、

上記二次巻線のタップ出力により分けられた他方の端部と二次側基準電位との間に直列接続される第2の電界効果トランジスタと、

10 上記第1の電界効果トランジスタが整流電流を流すべき半波の期間に対応する二次巻線電圧を抵抗素子により検出して、上記第1の電界効果トランジスタをオンとするためのゲート電圧を出力するようにされた第1の駆動回路と、

15 上記第2の電界効果トランジスタが整流電流を流すべき半波の期間に対応する二次巻線電圧を抵抗素子により検出して、上記第2の電界効果トランジスタをオンとするためのゲート電圧を出力するようにされた第2の駆動回路と、

20 さらに、上記二次巻線のタップ出力により分けられた一方の端部と上記第1の電界効果トランジスタとの間、及び上記二次巻線のタップ出力により分けられた他方の端部と第2の電界効果トランジスタとの間に、それぞれ直列に挿入された所要のインダクタンスによる第1のインダクタ素子を備える

ことを特徴とするスイッチング電源回路。

2. 上記二次巻線のタップ出力と上記平滑コンデンサとの間に直列に挿入された第2のインダクタ素子を備えることを特徴とする請求の範囲第1項に記載のスイッチング電源回路。

3. 第1のインダクタ素子は、上記第1または第2の電界効果

トランジスタのドレイン電極のリード線を挿通する筒形状の磁性体により形成されることを特徴とする請求の範囲第1項に記載のスイッチング電源回路。

4. 上記第1のインダクタ素子は、プリント配線基板における配線パターンを螺旋状とすることにより形成されることを特徴とする請求の範囲第1項に記載のスイッチング電源回路。

5. 複数のスイッチング素子を備えて形成され、入力された直流入力電圧を断続するようにしてスイッチングを行うスイッチング部と、

10 上記複数のスイッチング素子が交互にオンオフするようスイッチング駆動する一次側駆動部と、

上記スイッチング部からのスイッチング出力を一次側から二次側に伝送するものであり、一次巻線とセンタータップしたタップ出力を有する二次巻線が巻装される絶縁コンバータトランス
15 であって、ギャップ長を所定以上とすることで、上記一次巻線と上記二次巻線の結合係数を所定以下に設定される絶縁コンバータトランスと、

少なくとも、上記絶縁コンバータトランスの一次巻線の漏洩インダクタンス成分と、自己のキャパシタンスとによって上記スイッチング部の動作を共振形とするための一次側共振回路を形成
20 する一次側共振コンデンサと、

上記二次巻線のタップ出力に接続される二次側平滑コンデンサを有し、上記絶縁コンバータトランスの二次巻線に誘起される交番電圧を全波整流して上記二次側平滑コンデンサに整流電流
25 を充電することで、上記二次側平滑コンデンサの両端電圧として二次側直流出力電圧を得るようにされた同期整流回路と、

を備えるものとされ、

上記一次巻線と二次巻線のターン数は、上記二次側直流出力電圧に接続される負荷条件の変動にかかわらず、上記全波整流動作により同期整流回路に流れる二次側整流電流が連続モードとな

5 るように設定されると共に、

上記同期整流回路は、

上記二次巻線のタップ出力により分けられた一方の端部と二次側基準電位との間に直列接続される第1の電界効果トランジスタと、

10 上記二次巻線のタップ出力により分けられた他方の端部と二次側基準電位との間に直列接続される第2の電界効果トランジスタと、

上記第1の電界効果トランジスタが整流電流を流すべき半波の期間に対応する二次巻線電圧を抵抗素子により検出して、上記
15 第1の電界効果トランジスタをオンとするためのゲート電圧を出力するようにされた第1の駆動回路と、

上記第2の電界効果トランジスタが整流電流を流すべき半波の期間に対応する二次巻線電圧を抵抗素子により検出して、上記
20 第2の電界効果トランジスタをオンとするためのゲート電圧を出力するようにされた第2の駆動回路と、

さらに、上記二次巻線部のタップ出力と上記平滑コンデンサとの間に直列に挿入される所要のインダクタンスによるインダクタ素子を備える

ことを特徴とするスイッチング電源回路。

25 6. 上記二次側直流出力電圧のレベルに応じて、上記スイッチング部のスイッチング周波数を可変制御することで、上記二次側

直流出力電圧についての定電圧制御を行うようにされた定電圧制御部をさらに備えることを特徴とする請求の範囲第5項に記載のスイッチング電源回路。

7. 上記スイッチング部を形成する複数のスイッチング素子のうち、少なくとも一方のスイッチング素子に対して並列に接続される部分共振コンデンサのキャパシタンスと、上記絶縁コンバータトランスの一次巻線の漏洩インダクタンス成分によって形成され、上記一方のスイッチング素子のターンオフ期間に部分電圧共振動作を行なう一次側部分電圧共振回路を、さらに備えることを特徴とする請求の範囲第1項または第5項に記載のスイッチング電源回路。

8. 上記インダクタ素子は、平角線により円筒状に縦巻きされた巻線を有する平板状のフェライトコアと上記円筒状の巻線に挿入されるポット型の金属系ダストにより構成され、所要の飽和磁束密度と所要のインダクタンスを有するようにされたチョークコイルであることを特徴とする請求の範囲第5項に記載のスイッチング電源回路。

9. 上記インダクタ素子は、 $Mn-Zn$ 系フェライト材によるEE形コアの磁脚に対して所要ターン数により巻線が巻装されて、所要の飽和磁束密度を有すると共に、所要のインダクタンスを有するようにされたチョークコイルであることを特徴とする請求の範囲第5項に記載のスイッチング電源回路。

10. 上記チョークコイルの巻線として、複数のリッツ線を平行に整列させて帯状としたリッツ線帯を巻装したことを特徴とする請求の範囲第9項に記載のスイッチング電源回路。

11. 上記チョークコイルの巻線として、複数のリッツ線を平

編みした平編線を巻装したことを特徴とする請求の範囲第9項に記載のスイッチング電源回路。

1/25

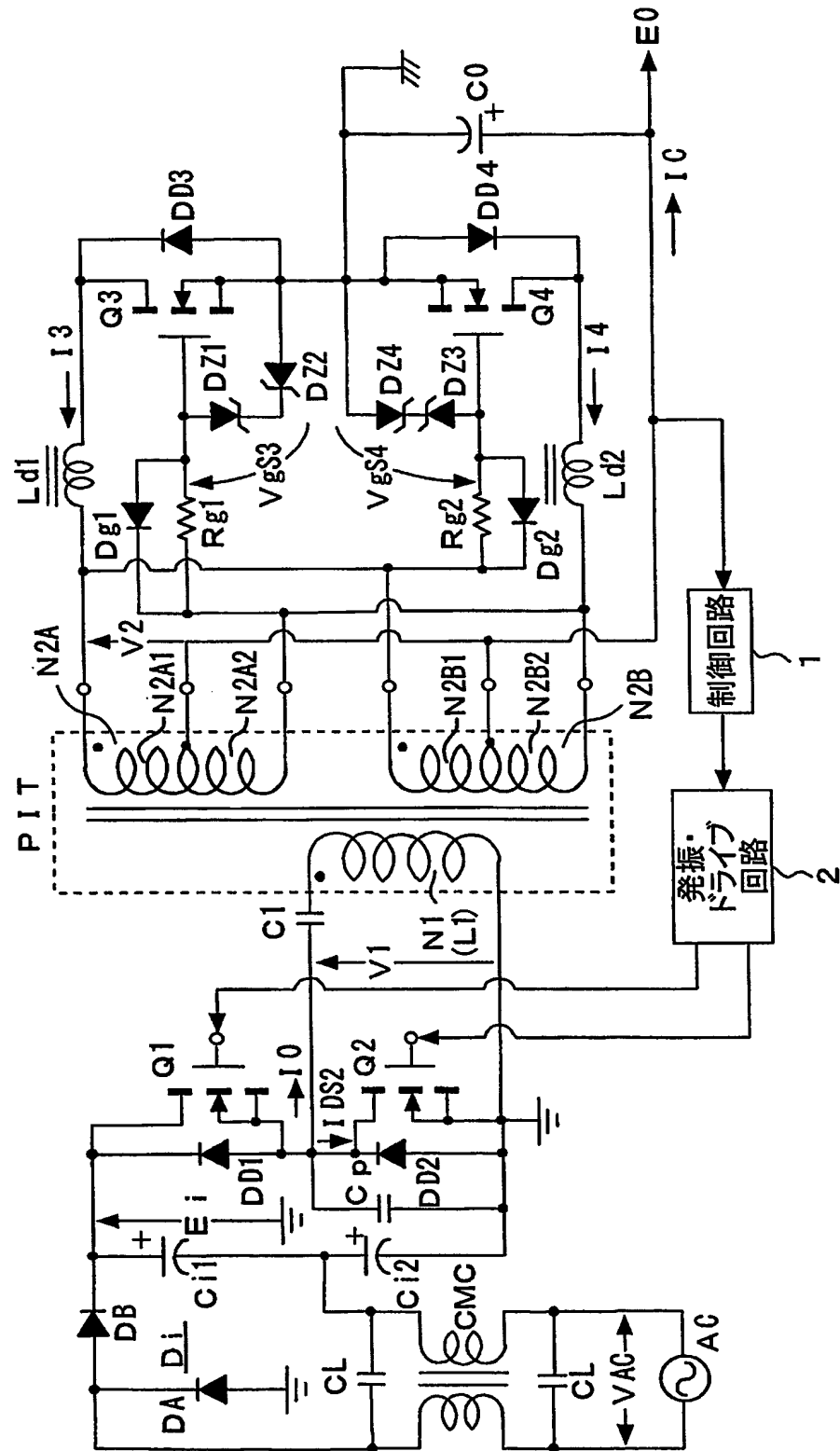


Fig.1

2/25

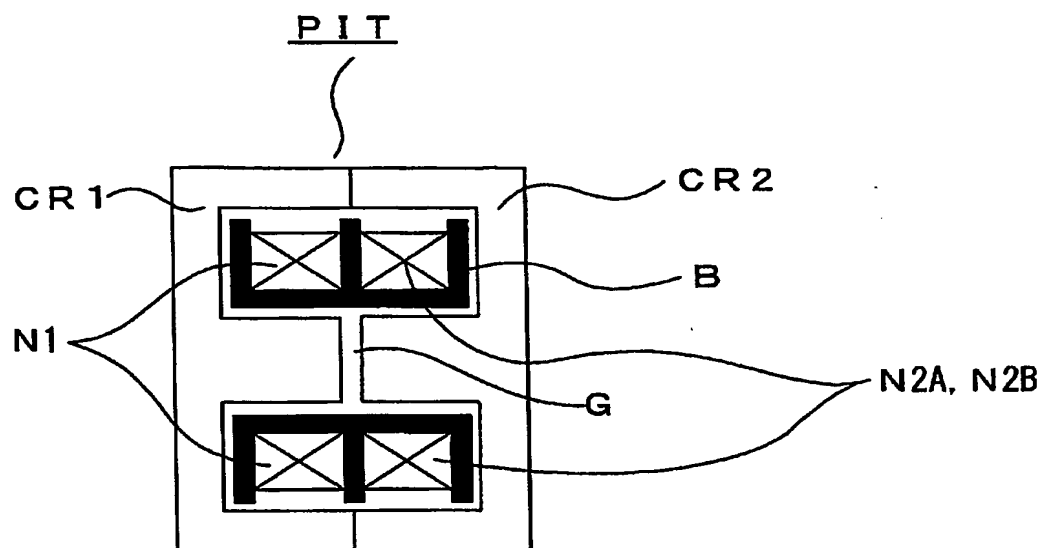


Fig.2

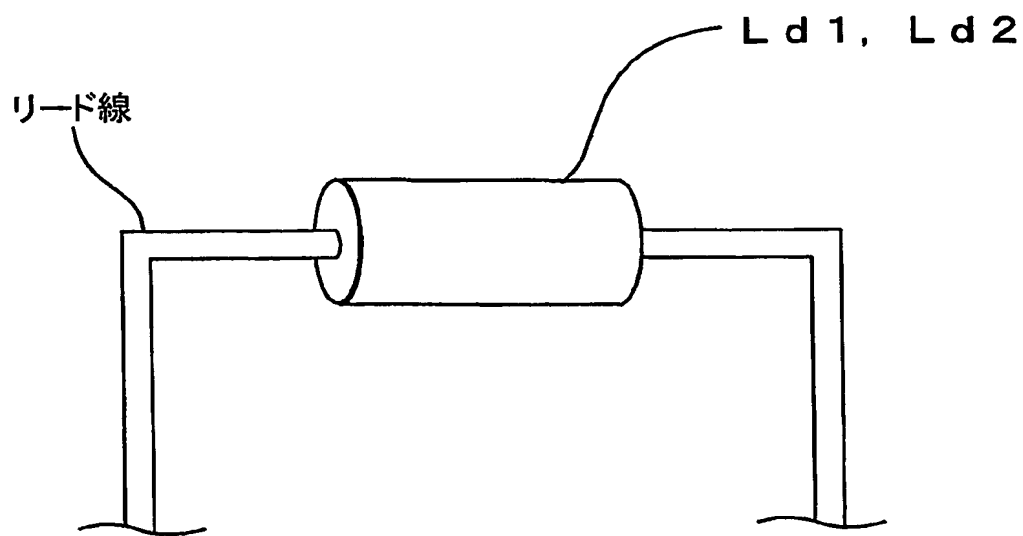


Fig.3

3/25

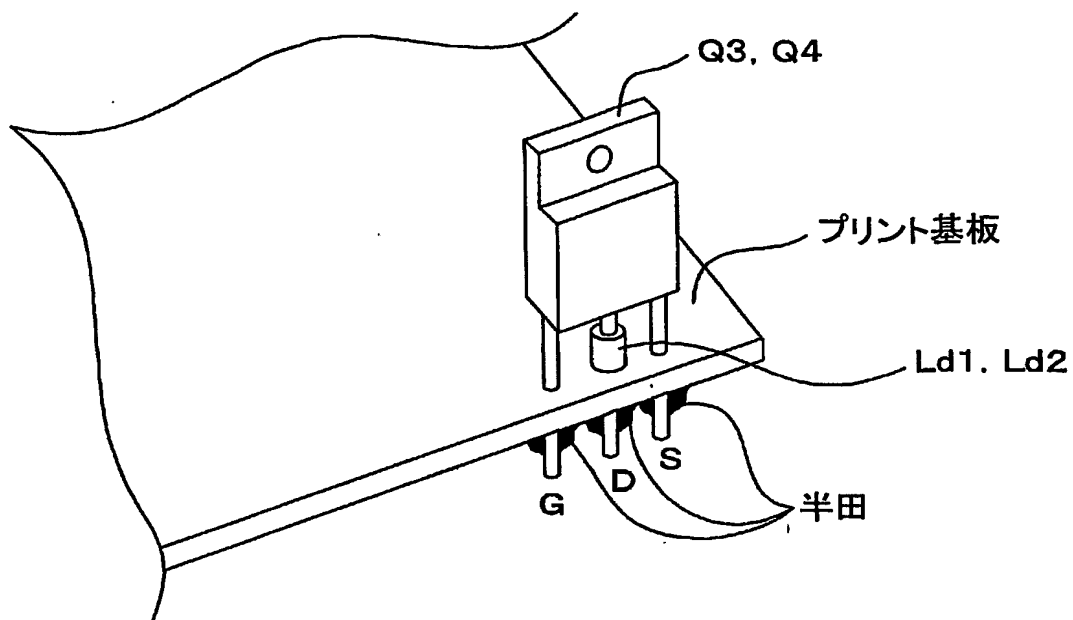


Fig.4A

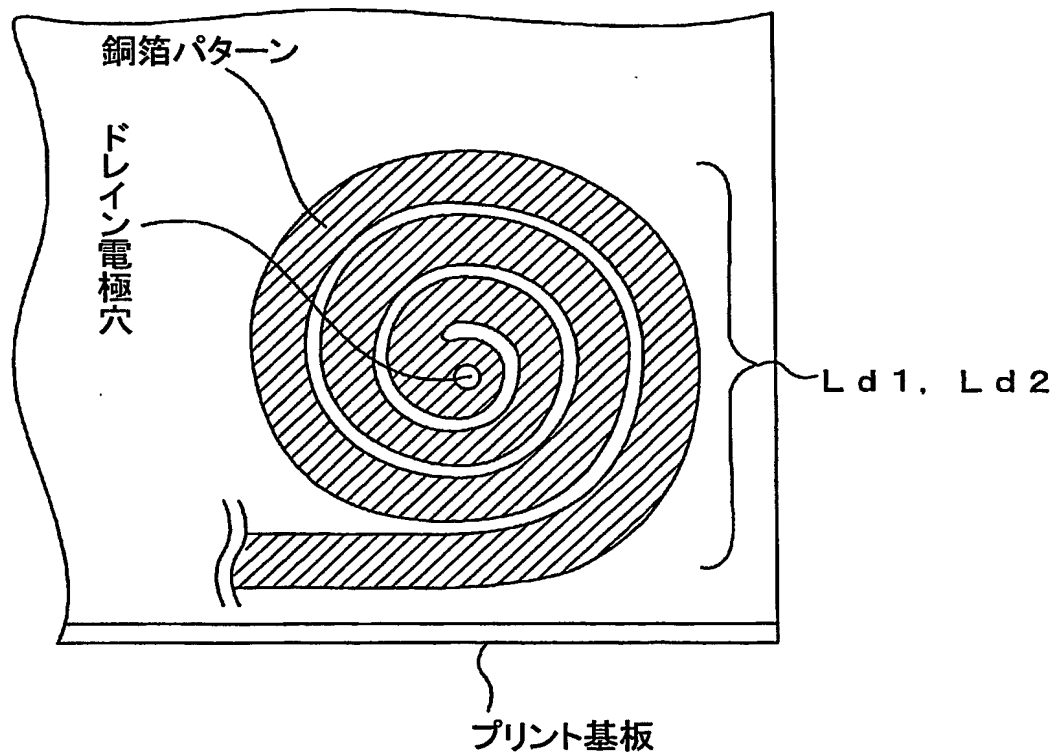


Fig.4B

4/25

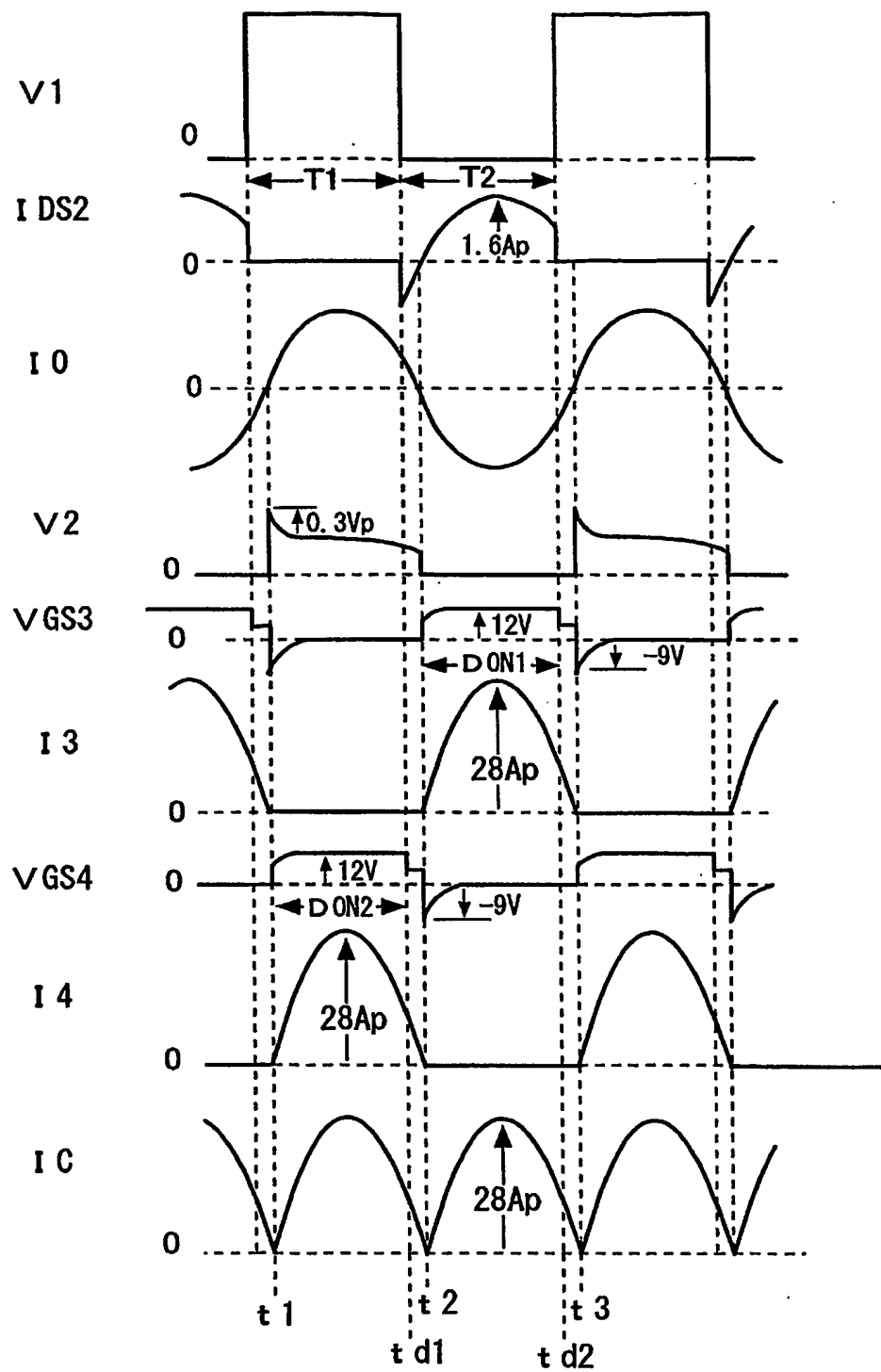


Fig.5

5/25

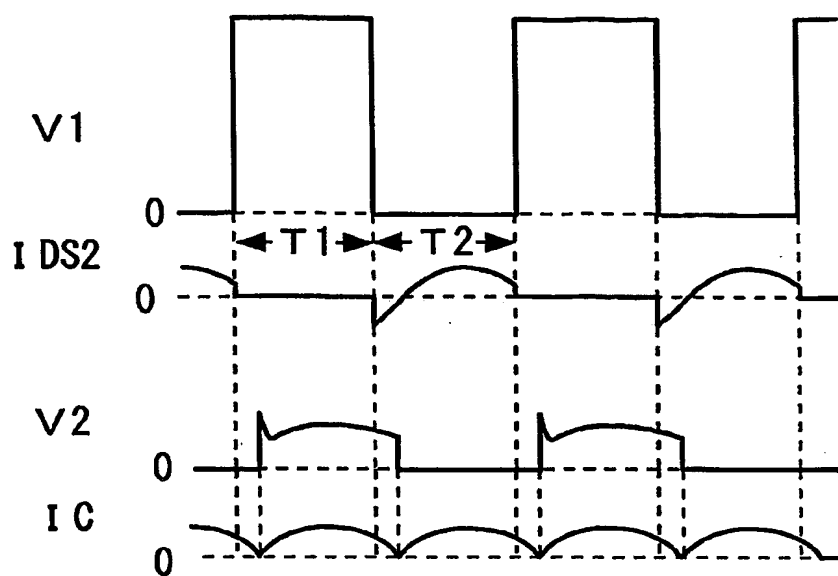


Fig.6

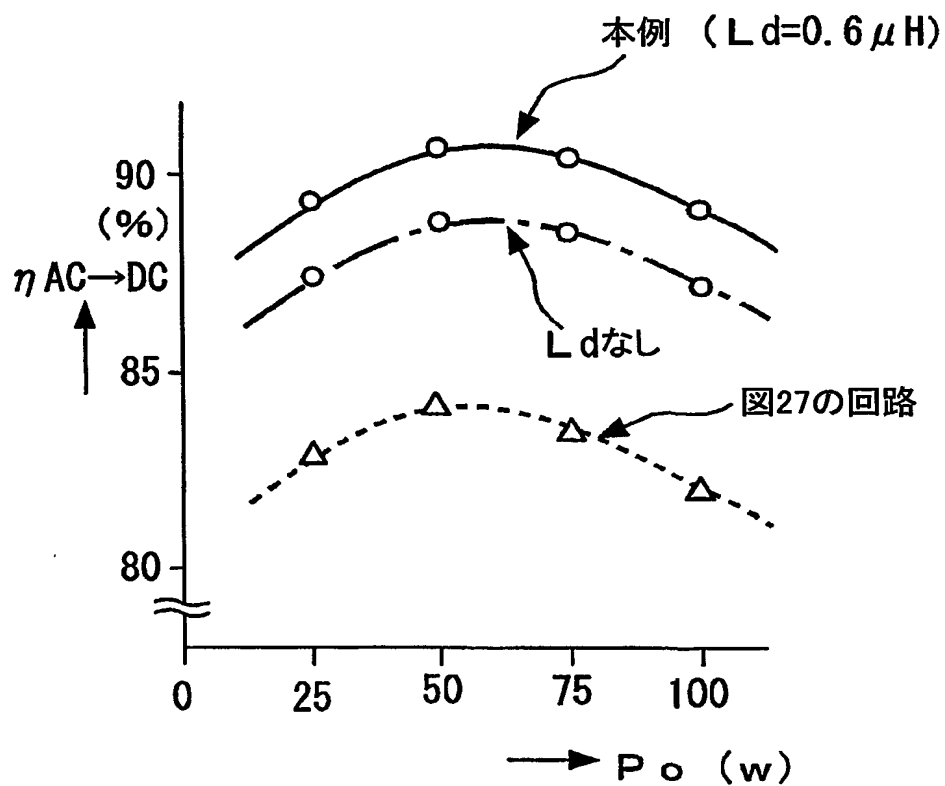


Fig.7

6/25

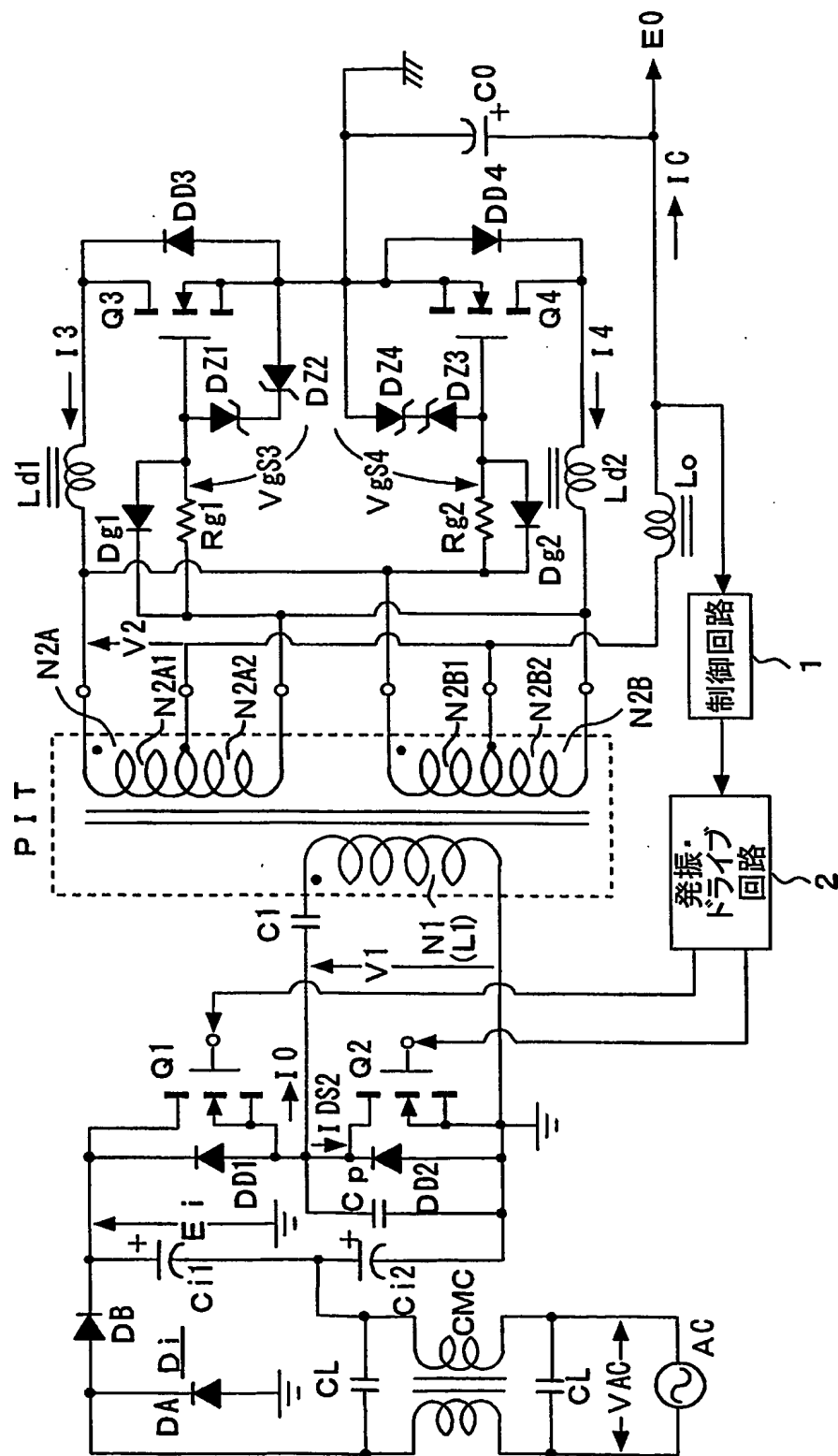


Fig. 8

7/25

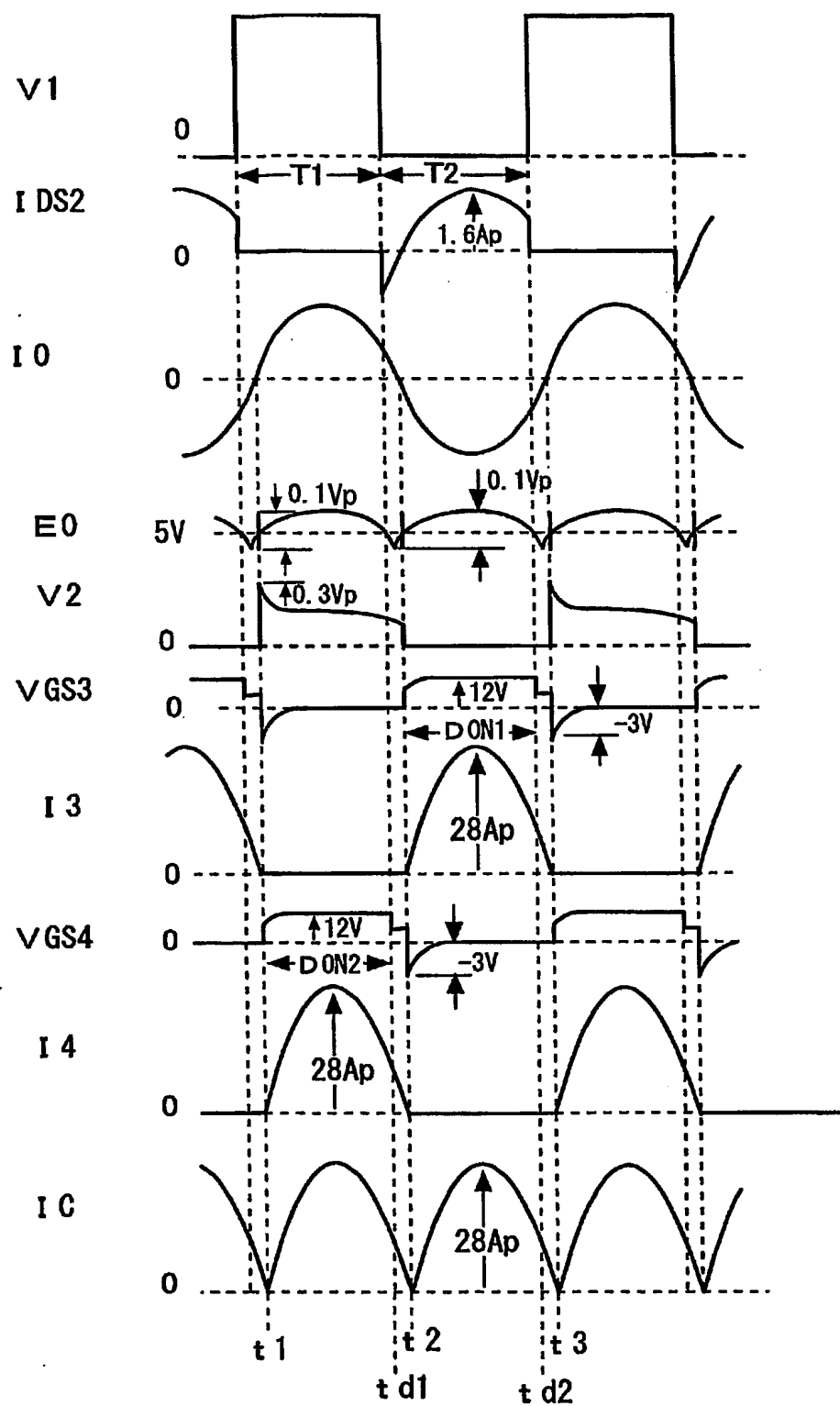


Fig.9

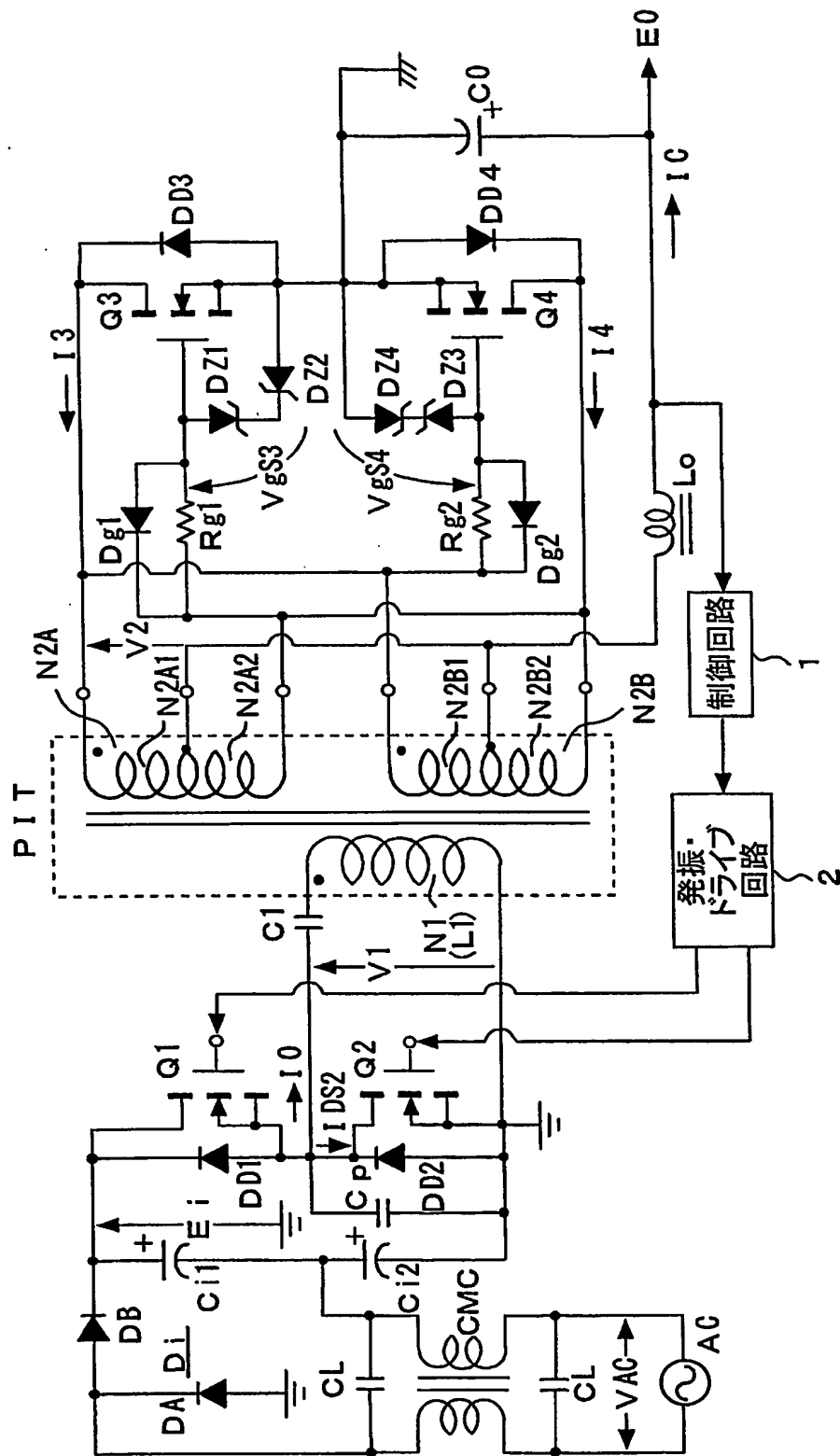


Fig.10

9/25

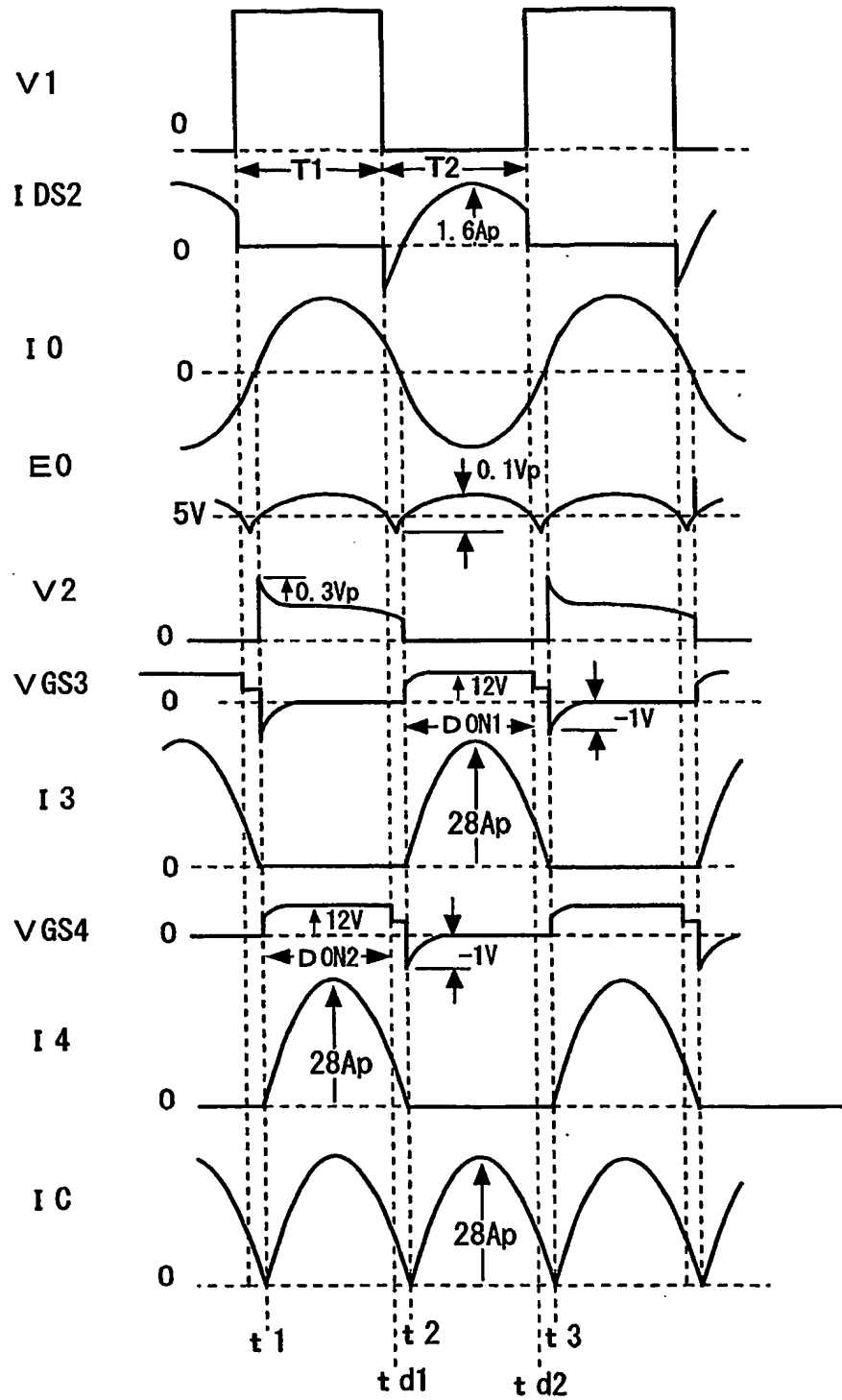


Fig.11

10/25

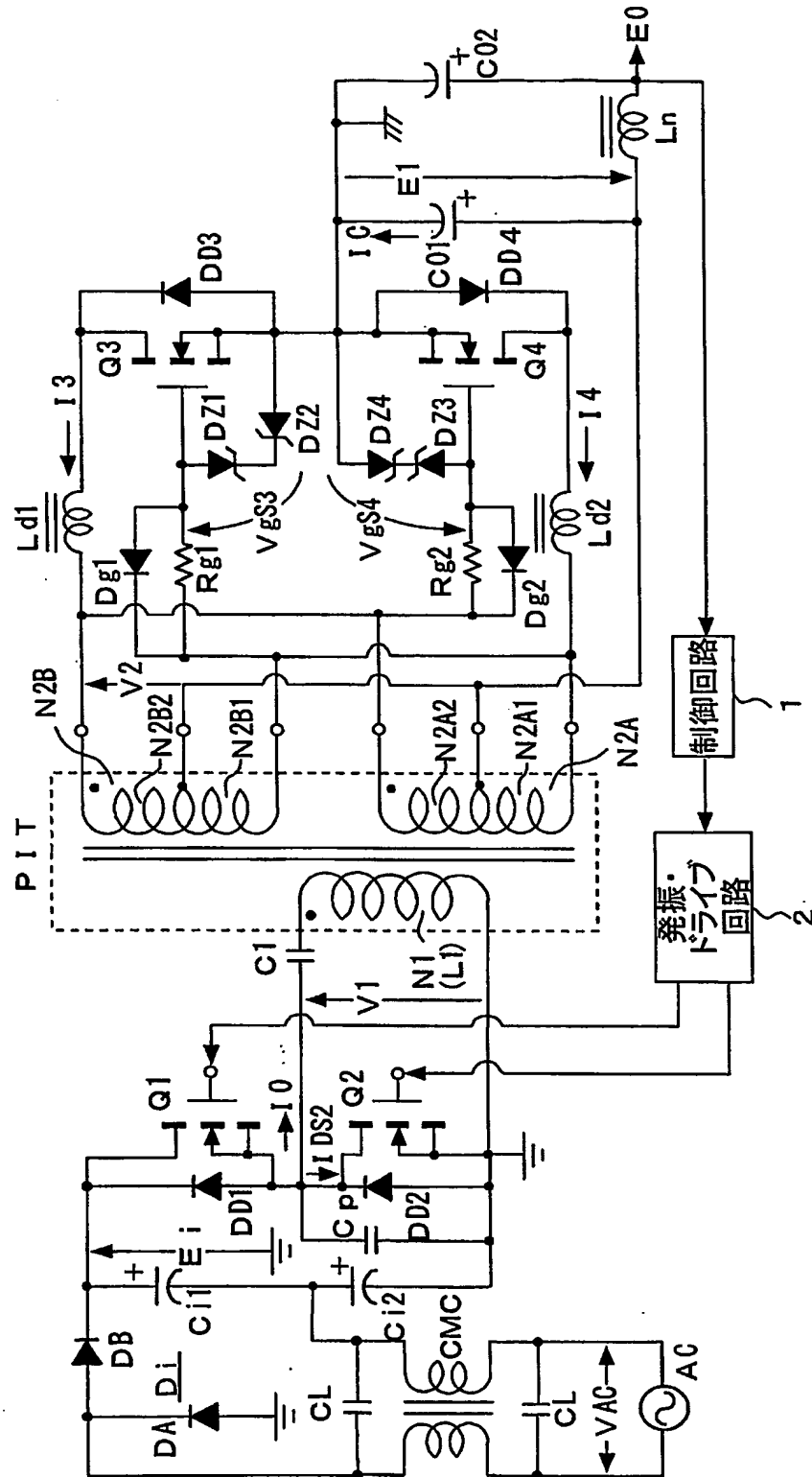


Fig.12

11/25

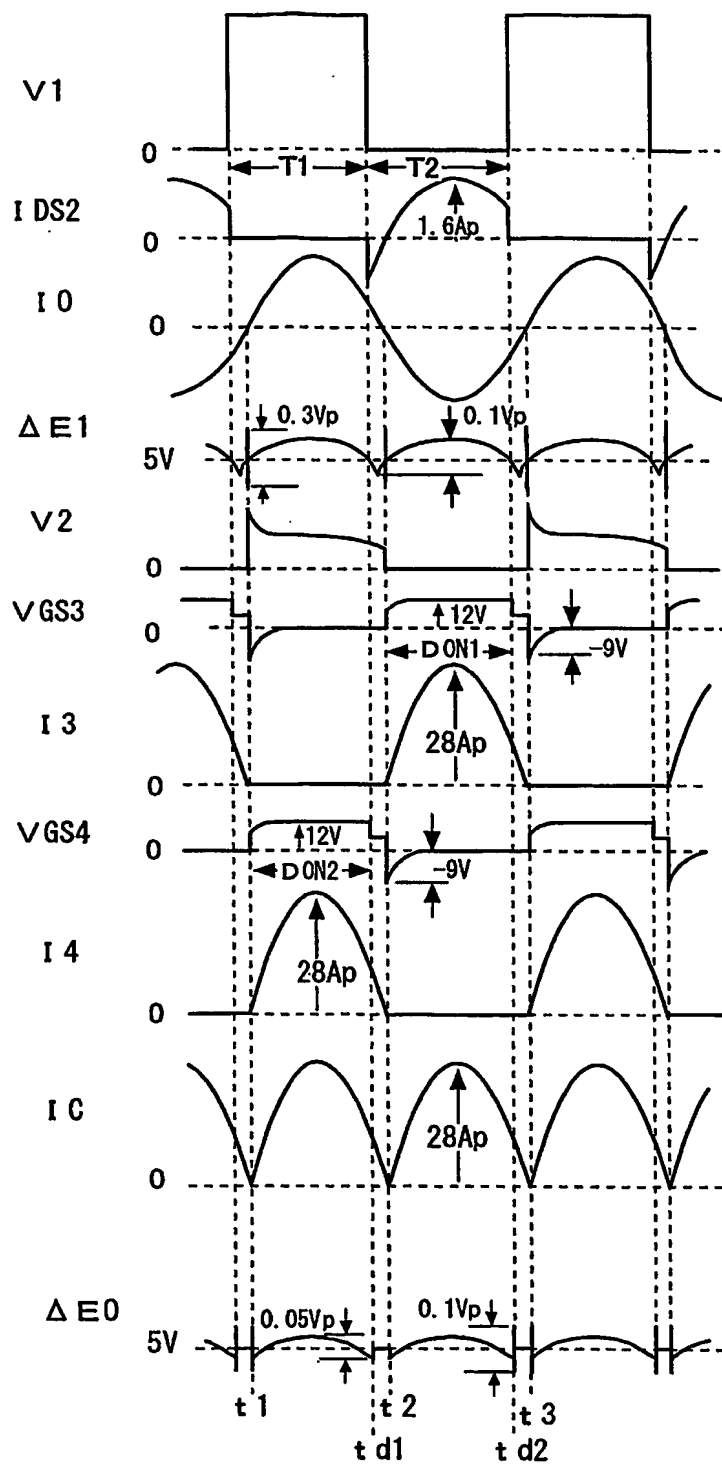


Fig.13

12/25

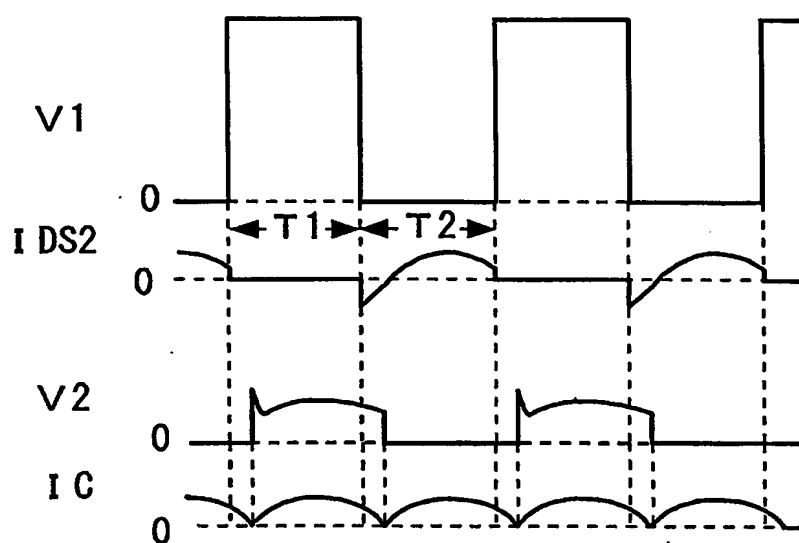


Fig.14

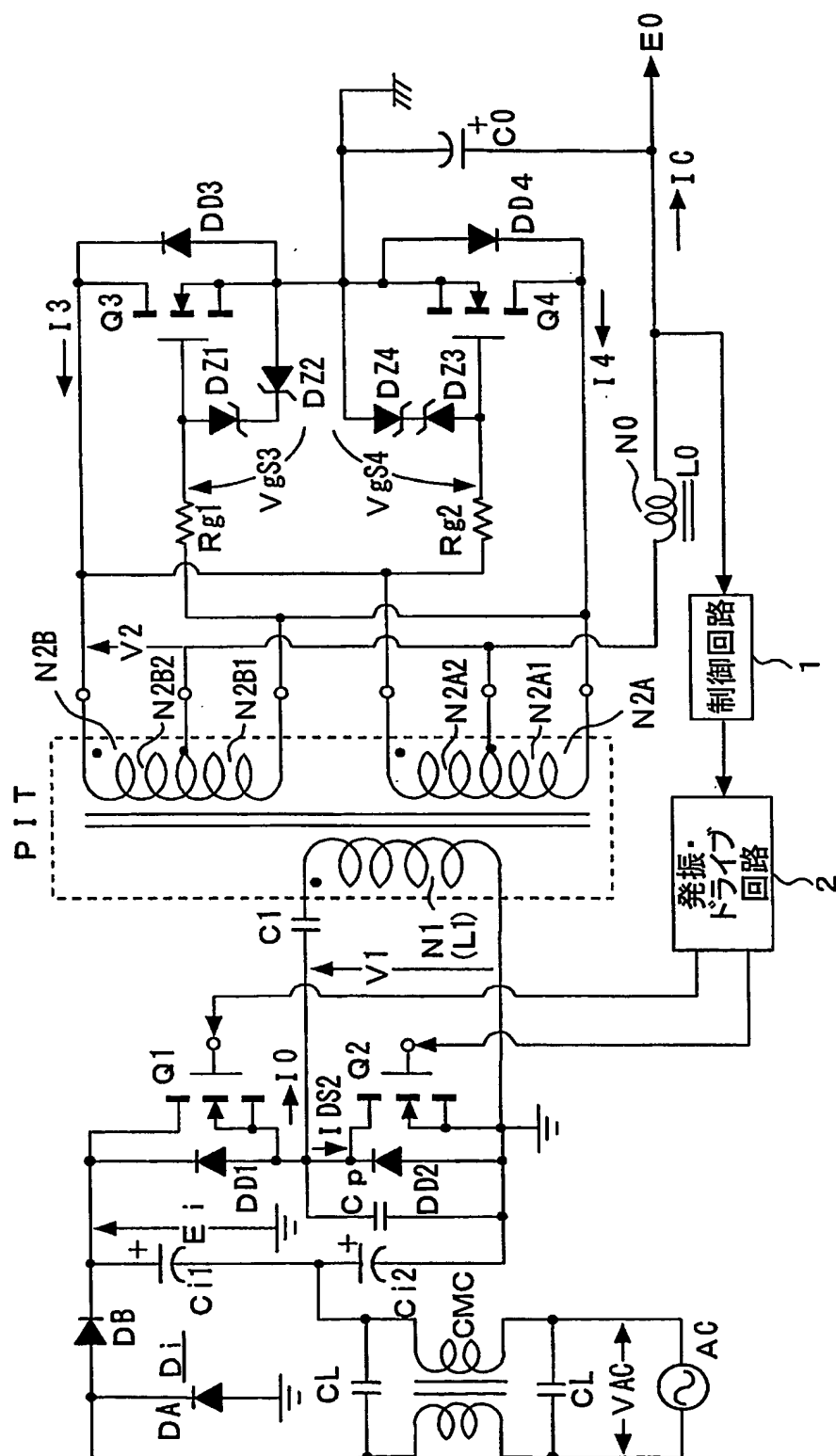
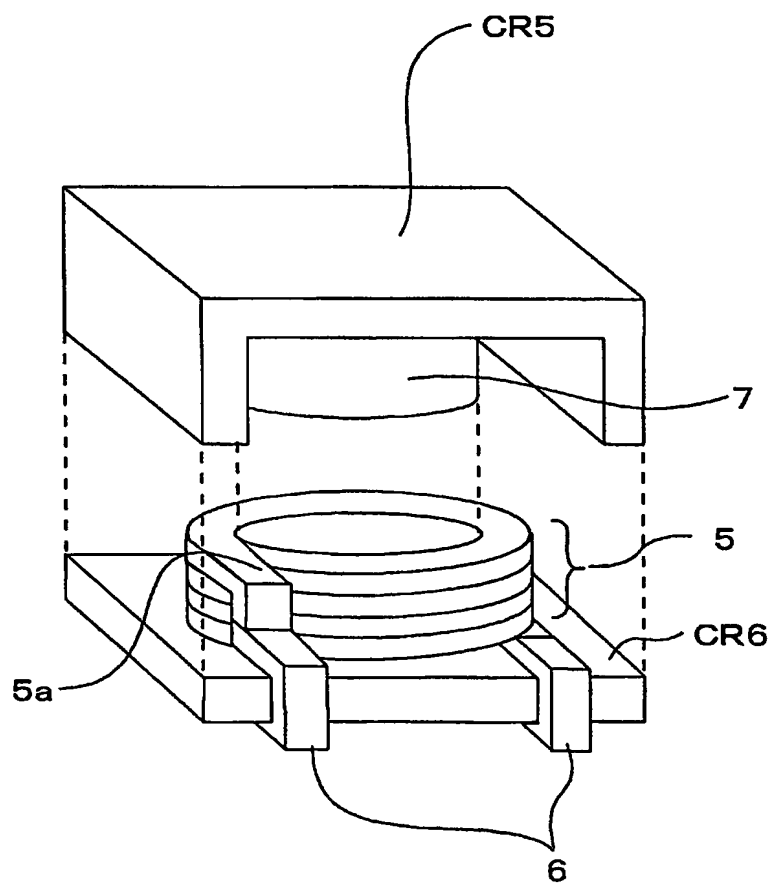


Fig. 15

14/25



L0

Fig.16

15/25

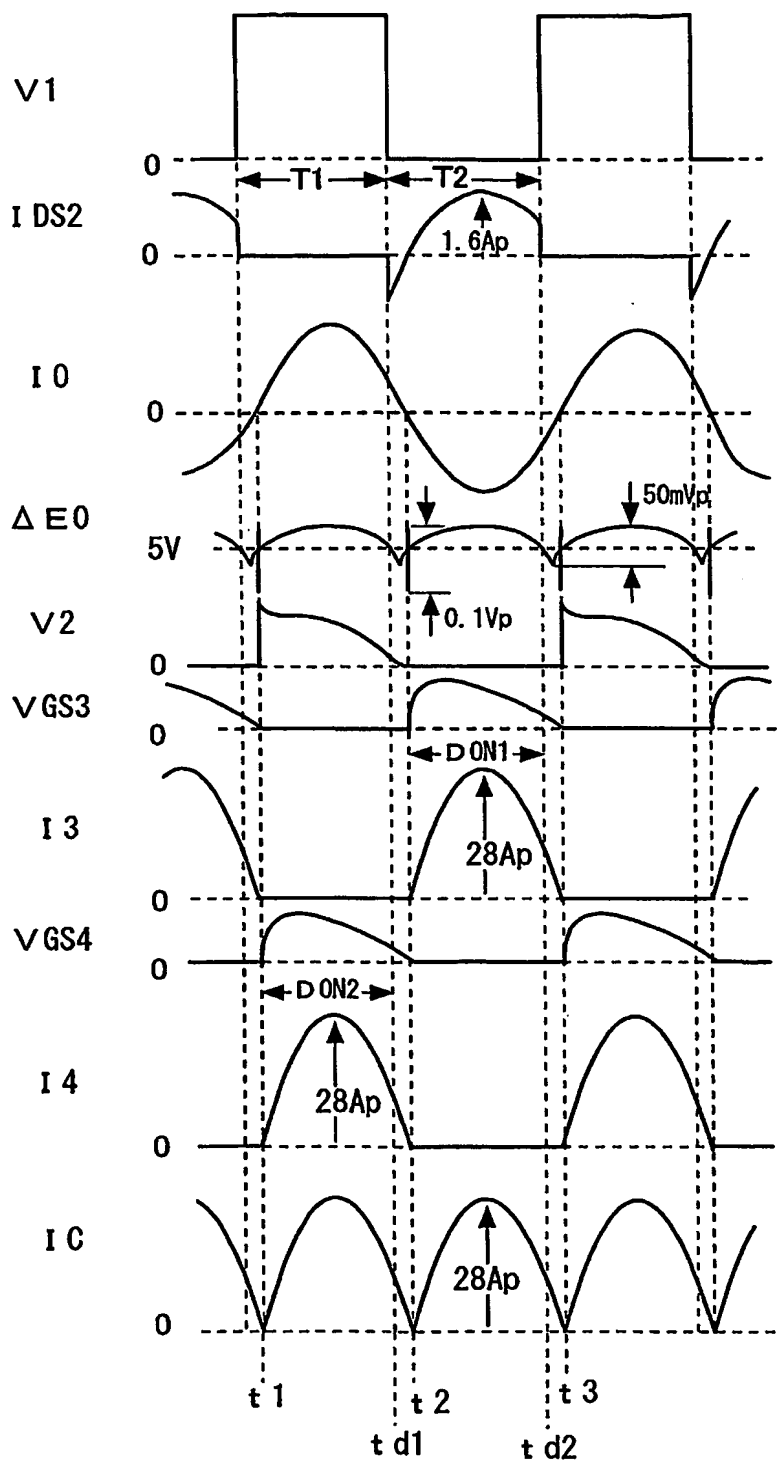


Fig.17

16/25

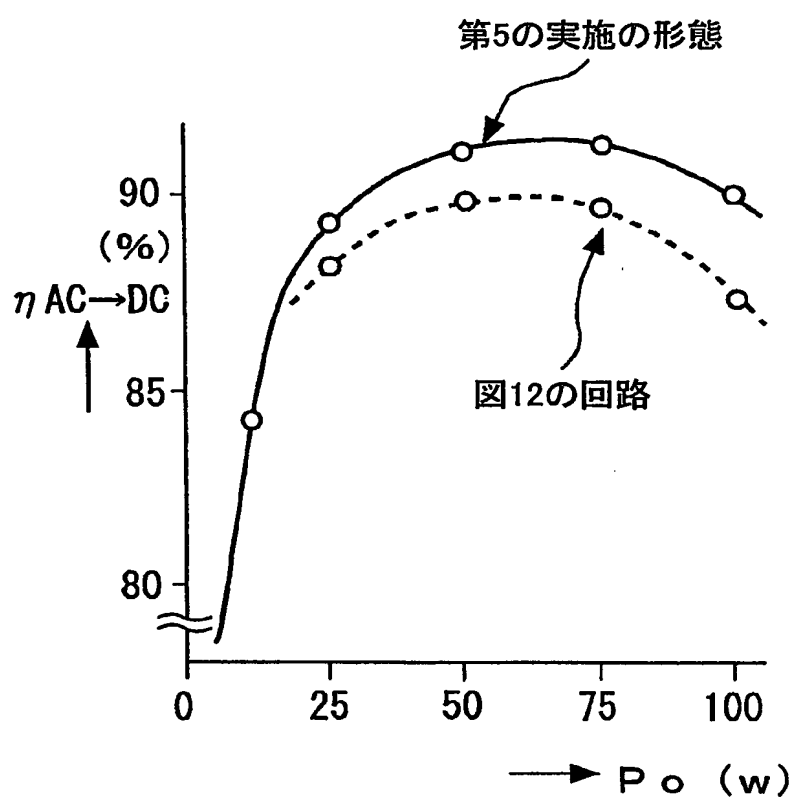


Fig.18

17/25

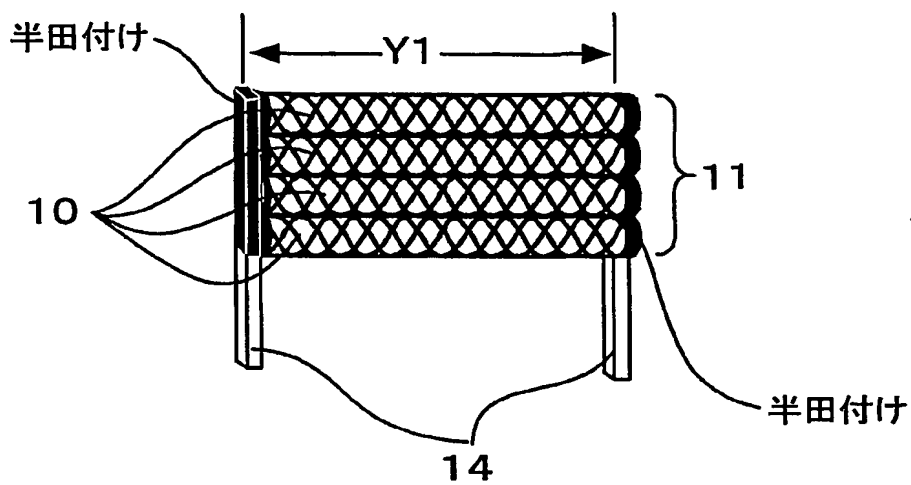


Fig.19

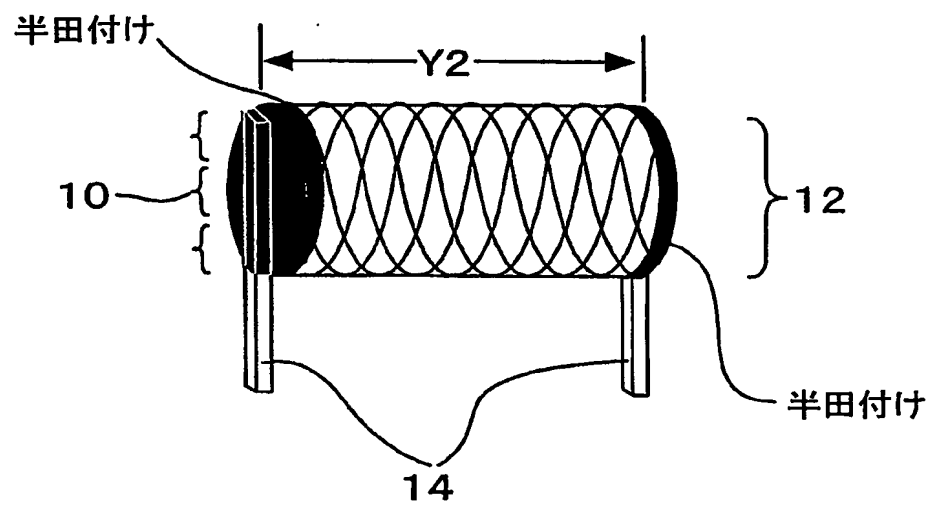


Fig.20

18/25

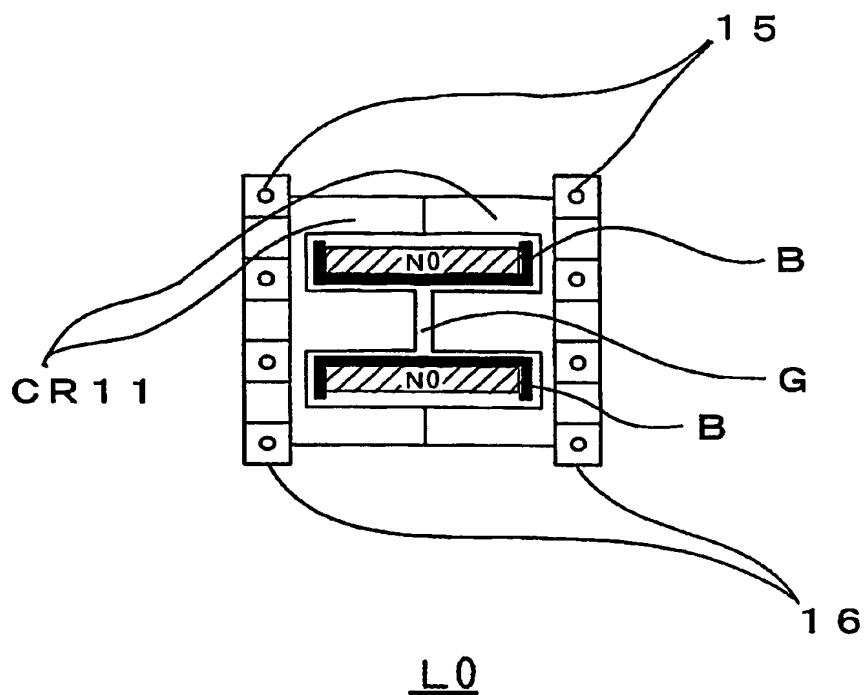


Fig.21

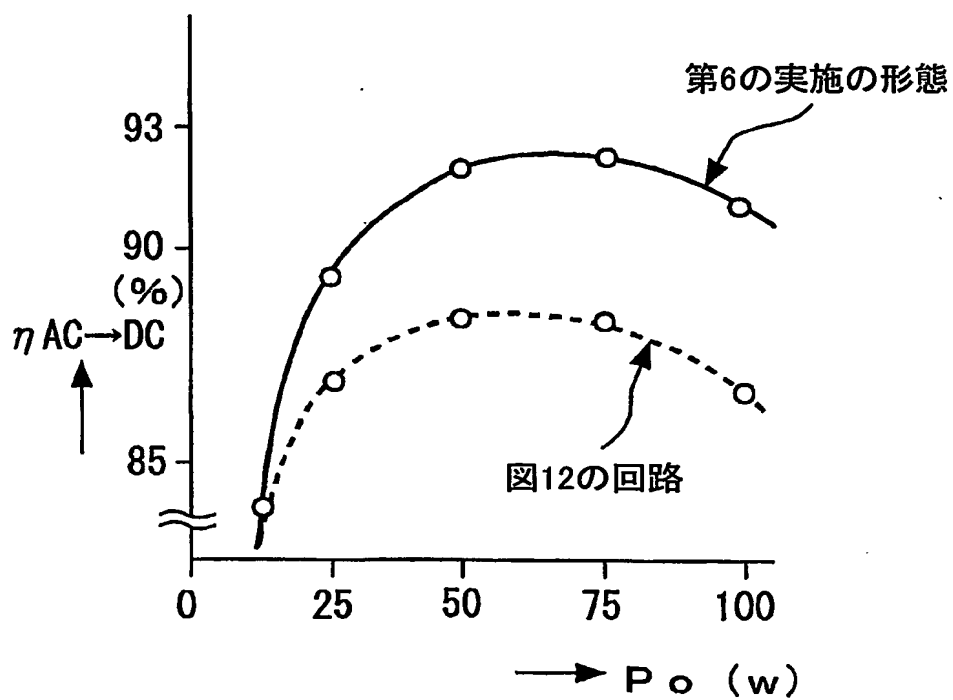


Fig.22

19/25

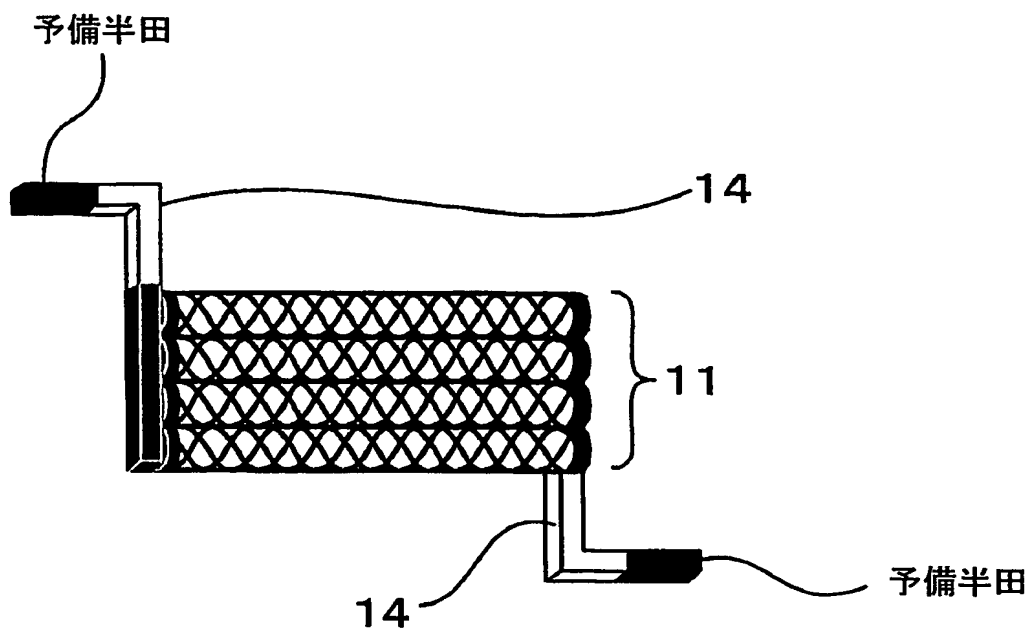


Fig.23

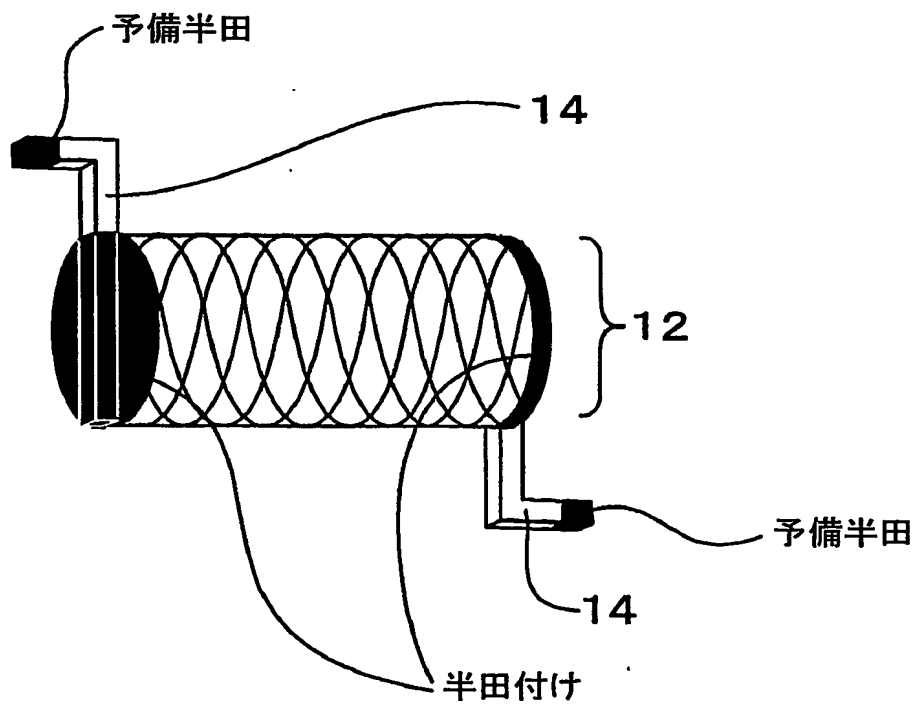


Fig.24

20/25

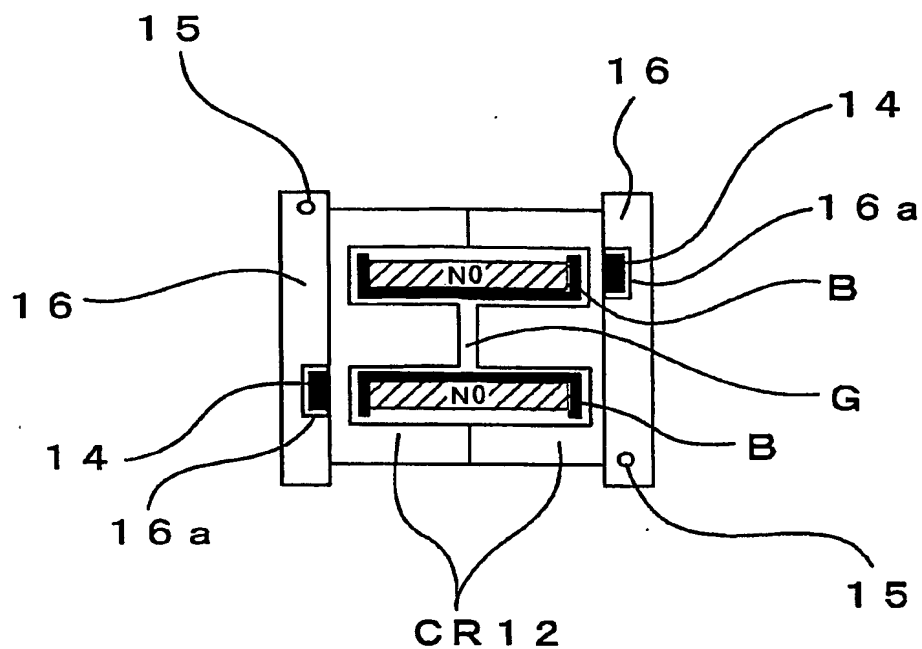


Fig.25

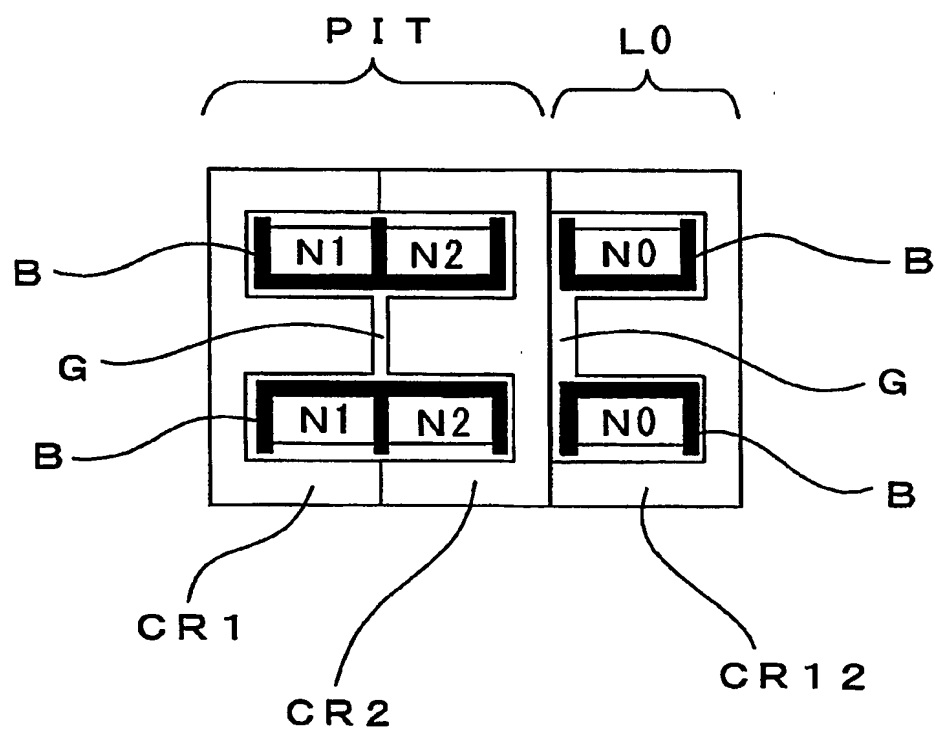


Fig.26

21/25

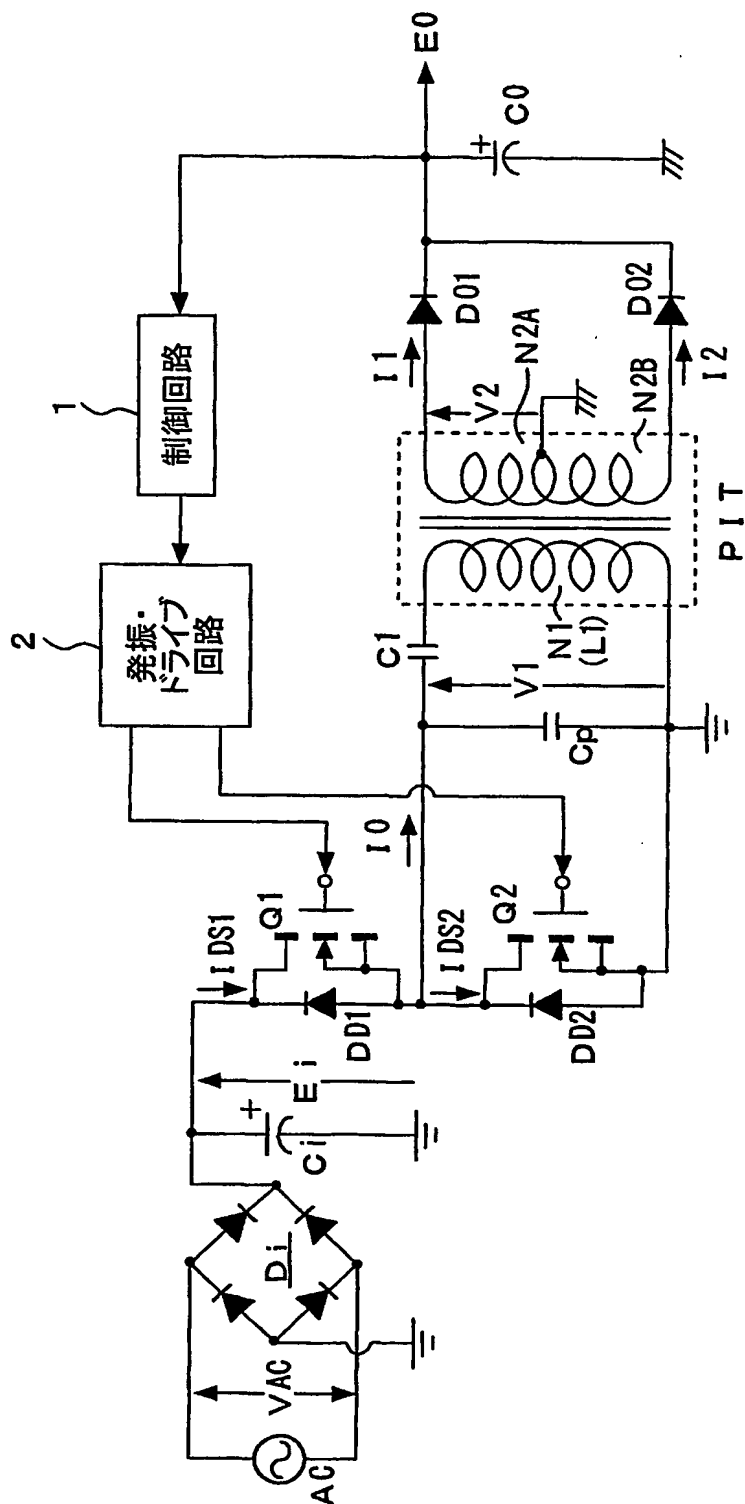


Fig.27

22/25

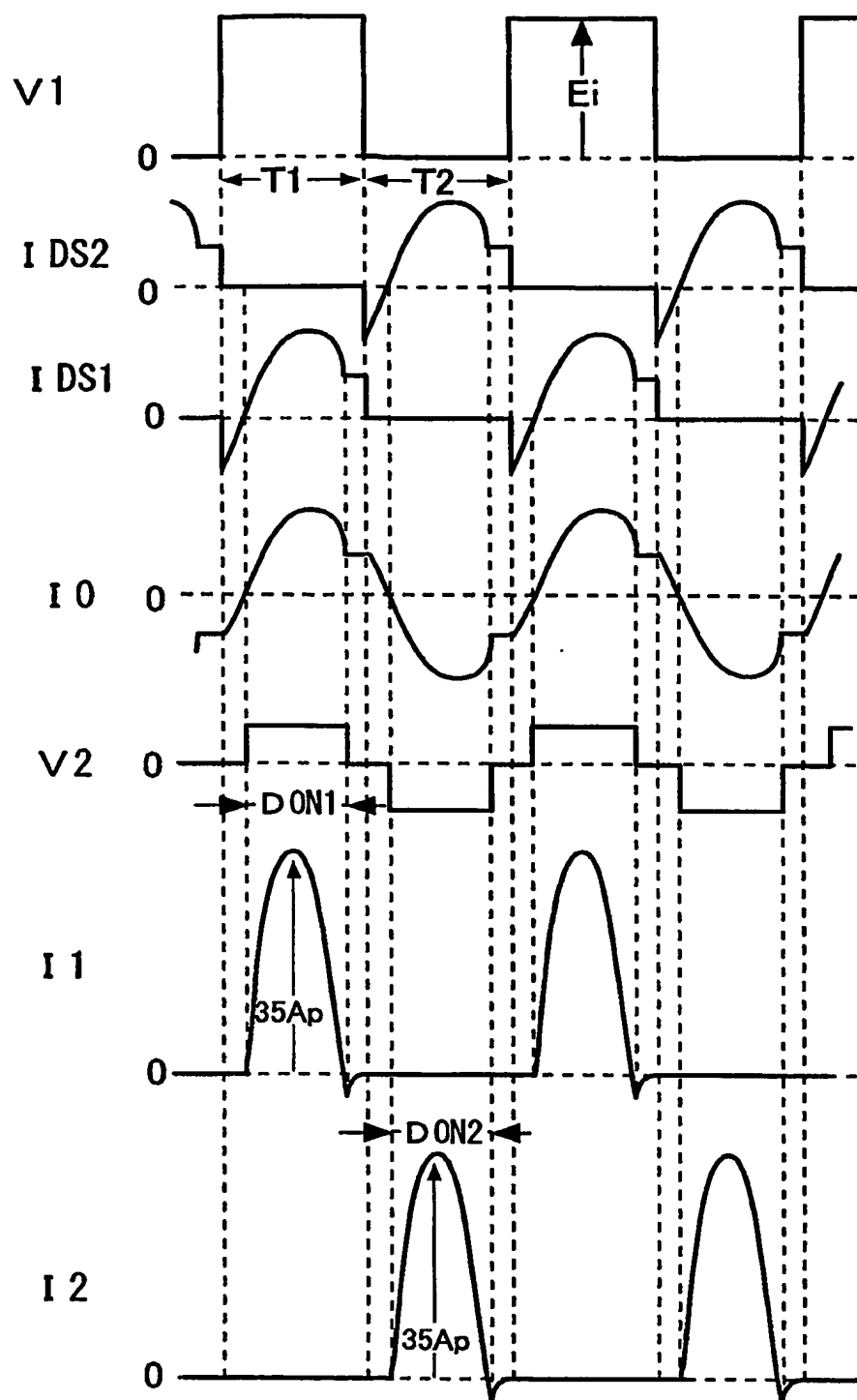


Fig.28

23/25

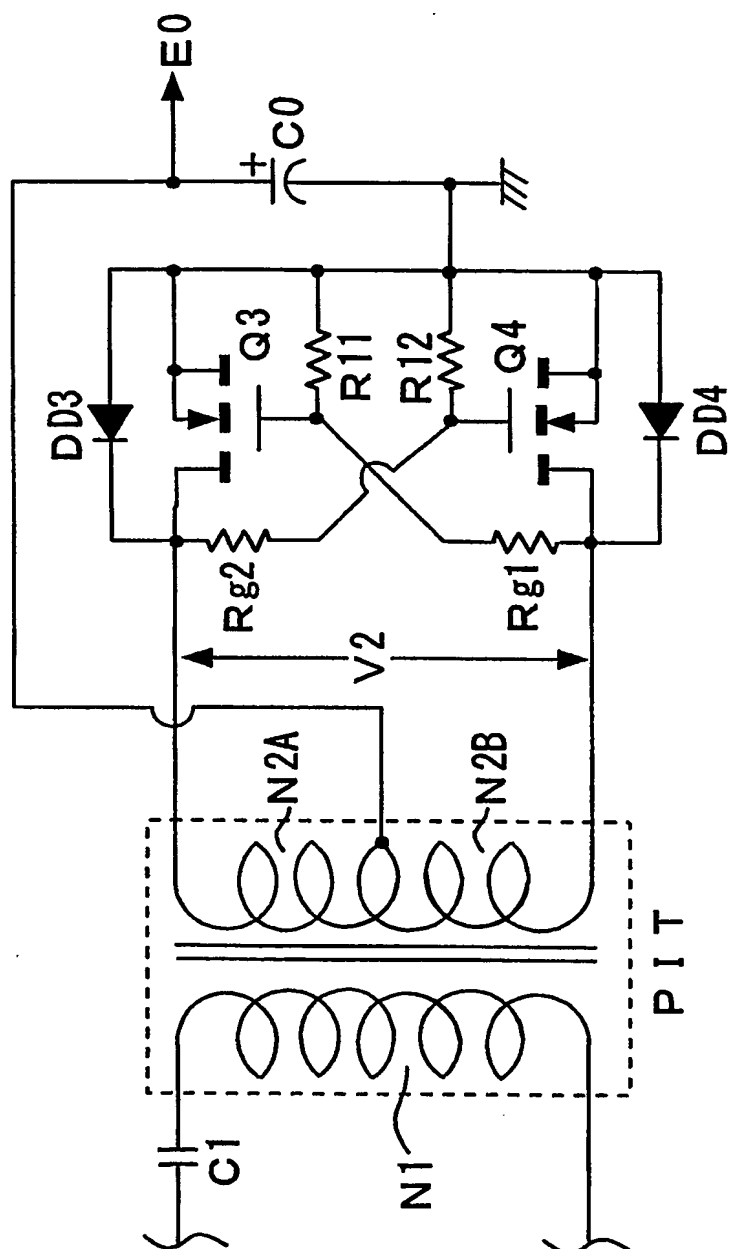


Fig.29

24/25

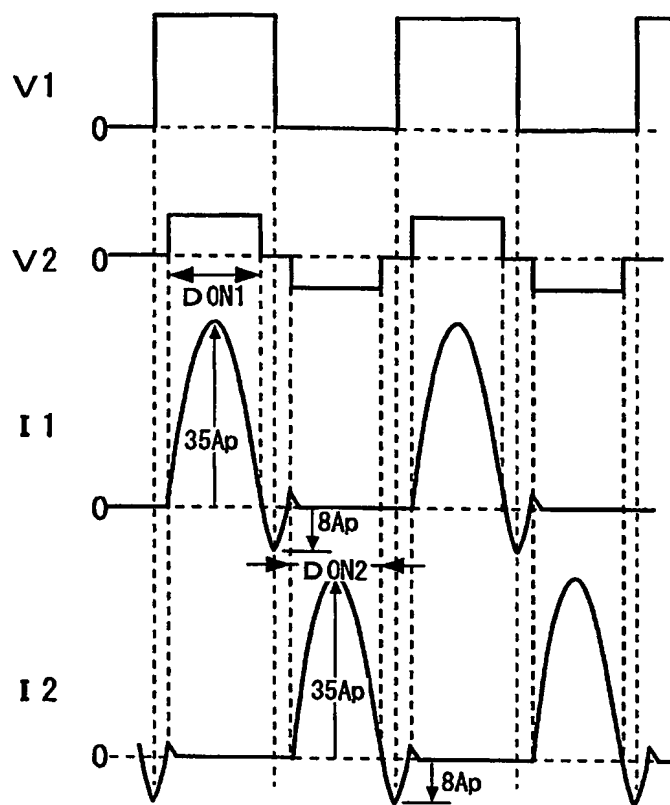


Fig.30

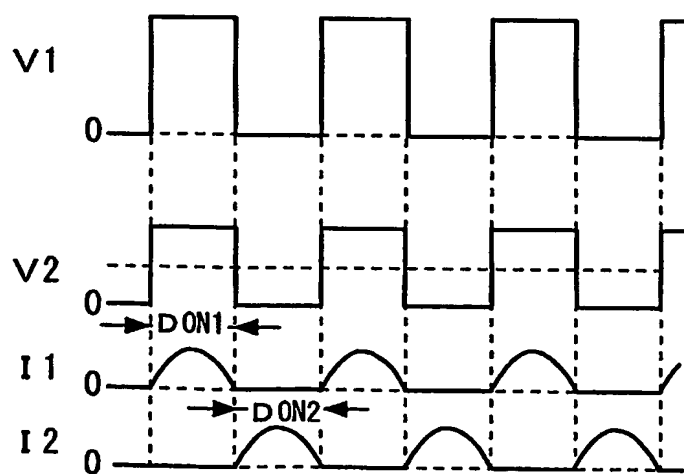


Fig.31

25/25

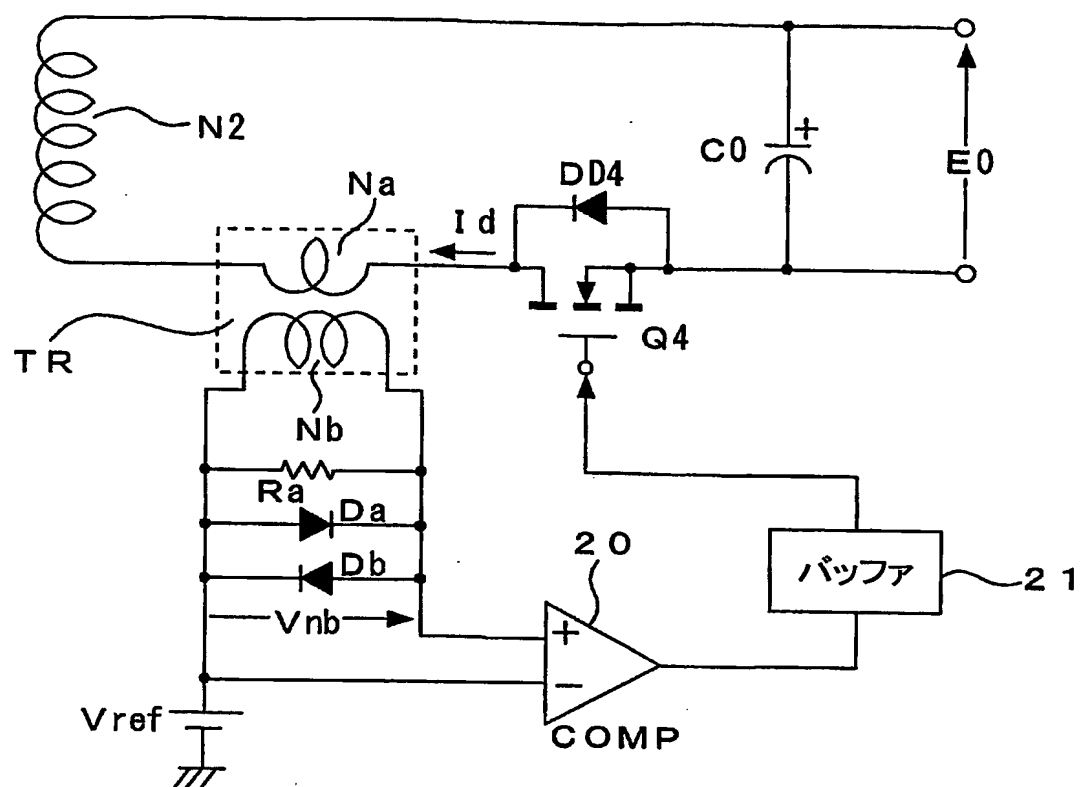


Fig.32

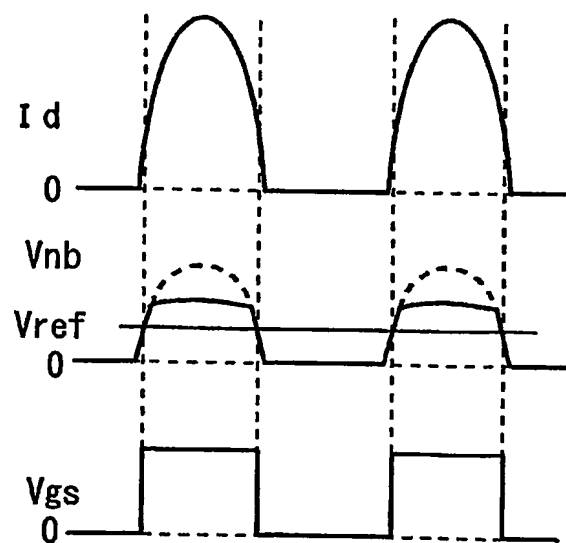


Fig.33

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/011950

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H02M3/28

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H02M3/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-230274 A (Sony Corp.), 15 August, 2003 (15.08.03), Par. Nos. [0002] to [0028]; Fig. 6 (Family: none)	1-11
A	JP 11-332233 A (Sony Corp.), 30 November, 1999 (30.11.99), Par. Nos. [0013] to [0020]; Fig. 1 & EP 944161 A & US 6130825 A	1-11
A	JP 2001-119940 A (Sony Corp.), 27 April, 2001 (27.04.01), Par. Nos. [0040] to [0046]; Fig. 1 (Family: none)	1-11

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
15 November, 2004 (15.11.04)

Date of mailing of the international search report
30 November, 2004 (30.11.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H02M 3/28

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H02M 3/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2004年

日本国登録実用新案公報 1994-2004年

日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A.	JP 2003-230274 A (ソニー株式会社) 15.08.2003, 段落【0002】-【0028】, 第6図 (ファミリーなし)	1-11
A	JP 11-332233 A (ソニー株式会社) 30.11.1999, 段落【0013】-【0020】, 第1図 & EP 944161 A & US 6130825 A	1-11
A	JP 2001-119940 A (ソニー株式会社) 27.04.2001, 段落【0040】-【0046】, 第1図 (ファミリーなし)	1-11

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

15.11.2004

国際調査報告の発送日

30.11.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

櫻田 正紀

3V

3328

電話番号 03-3581-1101 内線 3356